

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R) File 351:DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

010655534 **Image available**

WPI Acc No: 96-152487/199616

Related WPI Acc No: 99-266085

XRPX Acc No: N96-128118

Electron emitting device for image display and processing appts. - has carbon film formed on electron emitting gap and its vicinity in activation process, electrode pair and electro-conductive film arranged between electrodes with bipolar pulse voltage applied

Patent Assignee: CANON KK (CANO)

Inventor: HAMAMOTO Y; IKEDA S; KISHI F; MIYAZAKI K; OHNISHI T; TSUKAMOTO T; YAMAMOTO K; YAMANOBE M

Number of Countries: 021 Number of Patents: 010

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
EP 701265	A1	19960313	EP 95305954	A	19950825	H01J-001/30	199616 B
AU 9530226	A	19960314	AU 9530226	A	19950824	H01J-009/02	199618
CA 2155270	A	19960301	CA 2155270	A	19950802	H01J-001/30	199624
JP 8264112	A	19961011	JP 9587759	A	19950322	H01J-009/02	199651
JP 8321254	A	19961203	JP 95182049	A	19950626	H01J-001/30	199707
CN 1126884	A	19960717	CN 95116828	A	19950829	H01L-031/00	199749
EP 701265	B1	19990707	EP 95305954	A	19950825	H01J-009/02	199931
			EP 98204492	A	19950825		
DE 69510624	E	19990812	DE 610624	A	19950825	H01J-009/02	199938
			EP 95305954	A	19950825		
AU 708413	B	19990805	AU 9530226	A	19950824	H01J-009/02	199943
AU 9933956	A	19990819	AU 9530226	A	19950824	H01J-001/30	199945
			AU 9933956	A	19990609		

Priority Applications (No Type Date): JP 95182049 A 19950626; JP 94226115 A 19940829; JP 94336626 A 19941226; JP 94336712 A 19941226; JP 94336713 A 19941226; JP 9587759 A 19950322

Cited Patents: Jnl.Ref; EP 609512; EP 660357; JP 3037109; US 5290610

Patent Details:

Patent	Kind	Lan	Pg	Filing	Notes	Application	Patent
EP 701265	A1	E	70				
Designated States (Regional): AT BE CH DE DK ES FR GB GR IE IT LI LU MC NL PT SE							
JP 8264112	A		22				
JP 8321254	A		40				
EP 701265	B1	E		Related to		EP 98204492	
				Related to		EP 915493	
Designated States (Regional): AT BE CH DE DK ES FR GB GR IE IT LI LU MC NL PT SE							
DE 69510624	E			Based on		EP 701265	
AU 708413	B			Previous Publ.		AU 9530226	
AU 9933956	A			Div ex		AU 9530226	
				Div ex		AU 708413	

Abstract (Basic): EP 701265 A

The electron emitting device has a pair of electrodes (2 and 3) and an electroconductive film (4) between them including an electron emitting region (5). The region carries a graphite film that shows in a Raman spectroscopic analysis peaks of scattered light.

A laser light source with a wavelength of 514.5 nm and a spot diameter of 1 micrometre is used for the analysis. A peak (P2) is located in the vicinity of 1,580 cm is greater than a peak (P1) located in the vicinity of 1,335 cm, or half the width of a peak (P1) located in the vicinity of 1,335 cm not greater than 150 cm.

USE/ADVANTAGE - For image signals such as TV and various image processing operations e.g. video teleconferencing, word processing, in game machines and even visual telephone. Is free from degradation due to long use and undesired phenomenon of electric discharge under voltage applied to it, and emits electrons stably and efficiently for long time due to reduction in leakage current.

DIALOG(R)File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

04942655 **Image available**

ELECTRON EMISSION ELEMENT AND ITS MANUFACTURE, AND ELECTRON SOURCE USING
THAT ELECTRON EMISSION ELEMENT, AND IMAGE FORMATION DEVICE

PUB. NO.: 07-235255 [J P 7235255 A]
PUBLISHED: September 05, 1995 (19950905)
INVENTOR(s): YAMANOBE MASATO
NOMURA ICHIRO
SUZUKI HIDETOSHI
SAKANO YOSHIKAZU
APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 06-141670 [JP 94141670]
FILED: June 23, 1994 (19940623)
INTL CLASS: [6] H01J-001/30; H01J-009/02; H01J-031/12; H01J-031/15
JAPIO CLASS: 42.3 (ELECTRONICS -- Electron Tubes); 44.4 (COMMUNICATION --
Telephone); 44.6 (COMMUNICATION -- Television); 44.9
(COMMUNICATION -- Other); 45.3 (INFORMATION PROCESSING --
Input Output Units)
JAPIO KEYWORD: R003 (ELECTRON BEAM); R012 (OPTICAL FIBERS); R020 (VACUUM
TECHNIQUES); R044 (CHEMISTRY -- Photosensitive Resins); R094
(ELECTRIC POWER -- Linear Motors); R101 (APPLIED ELECTRONICS
-- Video Tape Recorders, VTR); R102 (APPLIED ELECTRONICS --
Video Disk Recorders, VDR); R135 (METALS -- Amorphous Metals)
; R139 (INFORMATION PROCESSING -- Word Processors)

ABSTRACT

PURPOSE: To make possible stable control, and lessen an element current as far as possible, and besides, enlarge an emission element as far as possible so as to improve efficiency by having a deposit, which has carbon for its main ingredient, at a high-resistance part.

CONSTITUTION: The material constituting a film (conductive film) 4 including an electron emission part 3 is a metal such as Pd, Ru, etc., an oxide such as PdO, etc., a boride such as HfB(sub 2), etc., a carbide such as TiC, etc., a nitride such as TiN, etc., a semiconductor such as Si, etc., carbon, or the like, and it consists of fine particles. Moreover, the part 3 is made at one part of a film 4. For example, it is a high-resistance part such as a crack or the like, and has many pieces of conductive fine particles with specified diameters. Moreover, carbon or a carbon compound (graphite, amorphous carbon) is deposited on one part of the part 3, further on the film 4 in the vicinity of the section 3. Hereby, an electron emission element can be made, in which the control of the electron emission property, which was unclear in vacuum in the past, becomes possible and also the property becomes more staple than the initial stage of the drive of the electron emission element and besides the element current is small and the efficiency is high.

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2903295号

(45) 発行日 平成11年(1999) 6 月 7 日

(24) 登録日 平成11年(1999) 3 月 26 日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 J 1/30
9/02
31/12H 0 1 J 1/30 E
9/02 E
31/12 C

請求項の数26(全 40 頁)

(21) 出願番号 特願平7-182049

(22) 出願日 平成 7 年(1995) 6 月 26 日

(65) 公開番号 特開平8-321254

(43) 公開日 平成 8 年(1996) 12 月 3 日

審査請求日 平成 9 年(1997) 10 月 14 日

(31) 優先権主張番号 特願平6-226115

(32) 優先日 平 6 (1994) 8 月 29 日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平6-336626

(32) 優先日 平 6 (1994) 12 月 26 日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平6-336712

(32) 優先日 平 6 (1994) 12 月 26 日

(33) 優先権主張国 日本 (J P)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子 3 丁目 30 番 2 号

(72) 発明者 山本 敬介

東京都大田区下丸子 3 丁目 30 番 2 号 キ

ヤノン株式会社内

(72) 発明者 浜元 康弘

東京都大田区下丸子 3 丁目 30 番 2 号 キ

ヤノン株式会社内

(72) 発明者 塚本 健夫

東京都大田区下丸子 3 丁目 30 番 2 号 キ

ヤノン株式会社内

(74) 代理人 弁理士 豊田 善雄 (外 1 名)

審査官 榎本 吉孝

最終頁に続く

(54) 【発明の名称】 電子放出素子、それを用いた電子源並びに画像形成装置と、それらの製造方法

1

(57) 【特許請求の範囲】

【請求項 1】 電極間に、電子放出部を有する導電性膜を備える電子放出素子において、前記電子放出部がグラファイト膜を有し、該グラファイト膜は、波長が 514.5 nm、スポット径が 1 μm のレーザー光源を用いたラマン分光分析による散乱光のピークのうち、a). 1580 cm⁻¹ 付近のピーク (P2) が 1335 cm⁻¹ 付近のピーク (P1) よりも大きいか又は、b). 1335 cm⁻¹ 付近のピーク (P1) の半値幅が 150 cm⁻¹ 以下であることを特徴とする電子放出素子。

【請求項 2】 前記電子放出部が亀裂によって構成されている請求項 1 に記載の電子放出素子。

【請求項 3】 前記グラファイト膜は、前記亀裂を挟む片側の導電性膜に設けられている請求項 2 に記載の電子

2

放出素子。

【請求項 4】 前記グラファイト膜は、前記亀裂を挟む両側の導電性膜に設けられている請求項 2 に記載の電子放出素子。

【請求項 5】 前記グラファイト膜が、2 nm 以上の結晶粒径を有する請求項 1~4 のいずれかに記載の電子放出素子。

【請求項 6】 前記グラファイト膜は、金属微粒子を包含したカプセル状のグラファイトを有する請求項 1~5 のいずれかに記載の電子放出素子。

【請求項 7】 前記グラファイト膜は、金属微粒子を包含したカプセル状のグラファイトと金属微粒子を包含しないグラファイトが混合した形態を有する請求項 1~6 のいずれかに記載の電子放出素子。

【請求項 8】 前記 a) 又は b) の結晶性を有するグラ

3

ファイト膜のみを有する請求項1～7のいずれかに記載の電子放出素子。

【請求項9】 前記グラファイト膜は、前記導電性膜の亀裂内にのみ設けられている請求項2に記載の電子放出素子。

【請求項10】 前記グラファイト膜は、前記導電性膜の亀裂内と亀裂外に設けられている請求項2に記載の電子放出素子。

【請求項11】 前記導電性膜の亀裂内に設けられているグラファイト膜の前記ピーク(P1)の半値幅が、前記導電性膜の亀裂外に設けられているグラファイト膜の前記ピーク(P1)の半値幅よりも小さい請求項10に記載の電子放出素子。

【請求項12】 前記電子放出素子は、表面伝導型電子放出素子である請求項1～11のいずれかに記載の電子放出素子。

【請求項13】 複数の電子放出素子を結線した素子行を複数有する電子源において、前記電子放出素子が請求項1～12のいずれかに記載の電子放出素子であることを特徴とする電子源。

【請求項14】 マトリクス配線された複数の電子放出素子を有する電子源において、前記電子放出素子が請求項1～12のいずれかに記載の電子放出素子であることを特徴とする電子源。

【請求項15】 電子放出素子と画像形成部材とを有する画像形成装置において、前記電子放出素子が請求項1～12のいずれかに記載の電子放出素子であることを特徴とする画像形成装置。

【請求項16】 前記画像形成部材が蛍光体である請求項15に記載の画像形成装置。

【請求項17】 テレビジョン放送の表示装置、テレビ会議システムの表示装置、コンピューターの表示装置のいずれかに用いられる請求項15または16に記載の画像形成装置。

【請求項18】 電極間に、電子放出部を有する導電性膜を備える電子放出素子の製造方法において、電子放出部を有する導電性膜に、有機物質を含む雰囲気中にて電圧を印加した後、組成式XY(但し、X、Yは各々、水素またはハロゲン)で表されるガスを含む雰囲気中にて電圧を印加する工程を有することを特徴とする電子放出素子の製造方法。

【請求項19】 前記有機物質を含む雰囲気中にて電圧を印加する工程と、前記組成式XYで表されるガスを含む雰囲気中にて電圧を印加する工程とを交互に行う請求項18に記載の電子放出素子の製造方法。

【請求項20】 電極間に、電子放出部を有する導電性膜を備える電子放出素子の製造方法において、電子放出部を含む導電性膜に、有機物質と組成式XY(但し、X、Yは各々、水素またはハロゲン)で表されるガスとを含む雰囲気中にて電圧を印加する工程を有す

4

ることを特徴とする電子放出素子の製造方法。

【請求項21】 前記電子放出部を有する導電性膜に印加する電圧は、両極性を有するパルス電圧である請求項18～20のいずれかに記載の電子放出素子の製造方法。

【請求項22】 前記両極性を有するパルス電圧は、極性によって波高値が異なる請求項21に記載の電子放出素子の製造方法。

【請求項23】 複数の電子放出素子を結線した素子行を複数有する電子源の製造方法において、前記電子放出素子を請求項18～22のいずれかに記載の方法により製造することを特徴とする電子源の製造方法。

【請求項24】 マトリクス配線された複数の電子放出素子を有する電子源の製造方法において、前記電子放出素子を請求項18～22のいずれかに記載の方法により製造することを特徴とする電子源の製造方法。

【請求項25】 電子放出素子と画像形成部材とを有する画像形成装置の製造方法において、前記電子放出素子を請求項18～22のいずれかに記載の方法により製造することを特徴とする画像形成装置の製造方法。

【請求項26】 電子放出素子と画像形成部材とを有する画像形成装置の製造方法において、電子放出素子を構成する電極と導電性膜とを配設した基体と、画像形成部材を配設したフェースプレートを用いて外囲器を構成し、該電極間に電圧を印加して該導電性膜に電子放出部を形成するフォーミング工程を行った後、請求項18～22のいずれかに記載の方法で電子放出素子を製造することを特徴とする画像形成装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電子放出素子、とりわけ駆動による特性の劣化の抑制、素子への電圧印加に伴う放電現象の抑制に優れ、長時間安定した電子放出の維持が可能で、電子放出効率の優れた電子放出素子、及びそれを用いた電子源、表示装置、露光装置などの画像形成装置、ならびにその製造方法に関するものである。

【0002】

【従来の技術】従来より電子放出素子としては大別して熱電子放出素子と冷陰極電子放出素子を用いた2種類が知られている。冷陰極電子放出素子には電界放出型(以下、「FE型」と称す。)、金属/絶縁層/金属型(以下、「MIM型」と称す。)|や表面伝導型電子放出素子等が有る。

【0003】FE型の例としては、W. P. Dyke and W. W. Dolan, "Field Emission", Advance in Electron Physics, 8, 89 (1956)あるいはC. A. Spindt, "PHYSICAL Properties of thin-film field emission cathodes wit

h molybdenum cones", J. Appl. Phys., 47, 5248 (1976) 等に開示されたものが知られている。

【0004】MIM型の例としては、C. A. Mead, "Operation of Tunnel-Emission Devices", J. Appl. Phys., 32, 646 (1961) 等に開示されたものが知られている。

【0005】表面伝導型電子放出素子の例としては、M. I. Elinson, Radio Eng. Electron Phys., 10, 1290 (1965) 等に開示されたものがある。

【0006】表面伝導型電子放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものである。この表面伝導型電子放出素子としては、前記エリソン等による SnO_2 薄膜を用いたもの、Au薄膜によるもの [G. Dittmer: "Thin Solid Films", 9, 317 (1972)]、 $\text{In}_2\text{O}_3/\text{SnO}_2$ 薄膜によるもの [M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 (1975)]、カーボン薄膜によるもの [荒木久 他: 真空、第26巻、第1号、22頁 (1983)] 等が報告されている。

【0007】これらの表面伝導型電子放出素子の典型的な例として前述のM. ハートウェルの素子構成を図34に模式的に示す。同図において1は基板である。4は導電性薄膜で、H型形状のパターンに、スパッタで形成された金属酸化物薄膜等からなり、後述の通電フォーミングと呼ばれる通電処理により電子放出部5が形成される。尚、図中の素子電極間隔Lは0.5~1mm、W'は0.1mmで設定されている。

【0008】従来、これらの表面伝導型電子放出素子においては、電子放出を行う前に予め通電フォーミングと呼ばれる通電処理によって電子放出部5を形成するのが一般的であった。即ち、通電フォーミングとは前記導電性薄膜4の両端に直流電圧あるいは非常にゆっくりとした昇電圧例えば1V/分程度を印加通電し、導電性薄膜を局所的に破壊、変形もしくは変質せしめ、電氣的に高抵抗な状態にした電子放出部5を形成することである。尚、電子放出部5は導電性薄膜4の一部に亀裂等の間隙部が発生し、その亀裂付近から電子放出が行われる。

【0009】

【発明が解決しようとする課題】上記工程の後、電子放出特性を改善するため、「活性化」と称する処理を行い、上記電子放出部の亀裂近傍に、炭素・炭素化合物からなる膜（カーボン膜）を形成する。この工程は、例えば有機物質を含む雰囲気中で、素子にパルス電圧を印加し、炭素・炭素化合物を電子放出部周辺に堆積させる方

法がある。この様にして形成されたカーボン膜は、主に導電性薄膜の正極側に形成され、負極側ではわずかにしか形成されない。さらには、安定な電子放出特性を得るため、上記炭素・炭素化合物の堆積が必要以上に進行しないように、素子の周辺に吸着したり、雰囲気中に残存している有機物質を除去する「安定化」と称する工程を施すことがある。

【0010】表面伝導型電子放出素子を実用に供する場合に求められる性能としては、大きな放出電流 I_e 、高い電子放出効率 η ($(I_e/I_f) \times 100 [\%]$); 尚、 I_f は2つの素子電極間に流れる電流（素子電流）が得られること、長時間電子放出を続けた場合の電子放出特性の変化が少なく安定していること、さらには素子への電圧印加（素子電極間の電圧印加、および素子とアノード電極間の電圧印加）に伴う放電現象が発生しないことが挙げられる。

【0011】これらの性能には素子の構成に関する多くの要因が作用しているが、本発明者らは表面伝導型電子放出素子の電子放出部亀裂及びその周辺に、上記活性化処理により形成されるカーボン膜の分布や、活性化処理の際の条件が上記の性能に強く関与していることを見いだした。

【0012】本発明の目的は、上記カーボン膜の分布・膜質・処理条件などにつき吟味し、上記性能の向上を実現することにある。

【0013】

【課題を解決するための手段及び作用】上記目的を達成すべく成された本発明の構成は以下の通りである。

【0014】即ち、本発明の第一は、電極間に、電子放出部を有する導電性膜を備える電子放出素子において、前記電子放出部がグラファイト膜を有し、該グラファイト膜は、波長が514.5nm、スポット径が1 μm のレーザー光源を用いたラマン分光分析による散乱光のピークのうち、a). 1580 cm^{-1} 付近のピーク (P2) が1335 cm^{-1} 付近のピーク (P1) よりも大きい又は、b). 1335 cm^{-1} 付近のピーク (P1) の半値幅が150 cm^{-1} 以下であることを特徴とする電子放出素子にある。

【0015】また、本発明の第二は、複数の電子放出素子を結線した素子行を複数有する電子源において、前記電子放出素子が上記本発明第一の電子放出素子であることを特徴とする電子源にある。

【0016】また、本発明の第三は、マトリクス配線された複数の電子放出素子を有する電子源において、前記電子放出素子が上記本発明第一の電子放出素子であることを特徴とする電子源にある。

【0017】また、本発明の第四は、電子放出素子と画像形成部材とを有する画像形成装置において、前記電子放出素子が上記本発明第一の電子放出素子であることを特徴とする画像形成装置にある。

【0018】また、本発明の第五は、電極間に、電子放出部を有する導電性膜を備える電子放出素子の製造方法において、電子放出部を有する導電性膜に、有機物質を含む雰囲気中にて電圧を印加した後、組成式XY（但し、X、Yは各々、水素またはハロゲン）で表されるガスを含む雰囲気中にて電圧を印加する工程を有することを特徴とする電子放出素子の製造方法にある。

【0019】

【0020】また、本発明の第六は、電極間に、電子放出部を有する導電性膜を備える電子放出素子の製造方法において、電子放出部を含む導電性膜に、有機物質と組成式XY（但し、X、Yは各々、水素またはハロゲン）で表されるガスとを含む雰囲気中にて電圧を印加する工程を有することを特徴とする電子放出素子の製造方法にある。

【0021】本発明の第七は、複数の電子放出素子を結線した素子行を複数有する電子源の製造方法において、前記電子放出素子を上記本発明第五又は第六により製造することを特徴とする電子源の製造方法にある。

【0022】本発明の第八は、マトリクス配線された複数の電子放出素子を有する電子源の製造方法において、前記電子放出素子を上記本発明第五又は第六により製造することを特徴とする電子源の製造方法にある。

【0023】本発明の第九は、電子放出素子と画像形成部材とを有する画像形成装置の製造方法において、前記電子放出素子を上記本発明第五又は第六により製造することを特徴とする画像形成装置の製造方法にある。

【0024】本発明の電子放出素子の第1の構成例として、図1に示すように電子放出部亀裂5の内部のカーボン膜6を、所望の結晶性を有するグラファイト膜とする構成を採用した。亀裂の外側には、図1のように実質的にカーボン膜の存在しない場合のほか、内部と同様のグラファイト膜の存在する場合などもある。グラファイトは、実質的に炭素原子のみによって構成される結晶質の物質であるが、その結晶性は様々な程度の「乱れ」を含むことが出来る。本発明では、ある程度結晶性の高いグラファイトにより上記電子放出部亀裂5の内部にカーボン膜6を構成した。

【0025】グラファイトの結晶性は、透過電子顕微鏡（TEM）によって結晶格子の像を観察することおよびRaman分光分析により定性的あるいは定量的に把握した。この分析のために本発明者らは、波長514.5 nmのArレーザーを光源として用い、試料表面でのレーザースポット径が約1 μmであるレーザーラマン分光装置を用いた。電子放出素子の電子放出部付近にレーザースポットをおき、散乱光を測定すると、図2のように1335 cm⁻¹（P1）と1580 cm⁻¹（P2）付近に顕著なピークを持つスペクトラムが観測され、炭素により構成された膜が存在することが確かめられた。ガウス型のピーク形状を仮定し、上記2つのピークの他に、

1490 cm⁻¹付近にもう一つの小さなピークの存在を仮定することにより、観測されたスペクトラムは良く再現された。なお、これらのピークの強度の比較からグラファイトの粒径を推定することが出来るが、その結果はTEMによる観察結果と良く一致した。

【0026】上記の内、P2ピークは、グラファイト構造の骨格をなす構造の電子遷移に由来するものであり、P1ピークは結晶性の乱れに由来するものである。従って、理想的なグラファイト単結晶では、P2ピークのみが観測されるはずであるが、グラファイトの結晶粒が小さくなった場合や、格子欠陥が存在する場合、P1ピークが出現する。結晶性がさらに低下すると、P1ピークが大きくなるほか、ピーク（複数）の半値幅が周期性の乱れを反映して増大する。

【0027】本発明で用いられるグラファイト膜は、理想的な単結晶グラファイトではないため、P1ピークが観測され、このピークの半値幅を結晶性の定量的な目安とするのが有効であった。以下で示すように、P1ピークの半値幅は150 cm⁻¹程度が、前記の安定化などを得るための限界と思われ、これ以下の半値幅が得られるか、P1ピーク自体が十分小さくなるようなグラファイトの膜を有することがポイントである。

【0028】この構成による効果について説明する。

【0029】電子放出素子の長時間の電子放出に伴う特性の変化の原因は、第1にカーボン膜の不必要な堆積の進行や、その逆の消耗が挙げられる。

【0030】不必要な堆積の進行を抑制する手段としては、素子の駆動雰囲気中に炭素化合物が存在しないようにすることが有効で、前述の「安定化工程」はこれを実現する工程である。

【0031】一方、消耗の原因は色々考えられるが、雰囲気中に残存するO₂やH₂O等によりカーボン膜がエッチングされる事等が原因と思われ、これらのガスを雰囲気中から取り除く必要があると考えられる。

【0032】また、このほかに電子放出部亀裂を挟む導電性薄膜の端部が、素子の駆動によって後退し、亀裂幅が徐々に広がる現象も観察され、これも電子放出特性の変化の原因の一つと考えられる。この現象は、導電性薄膜端部にカーボン膜がある程度形成されると抑制されるが、該カーボン膜が結晶性が比較的高いグラファイトで構成されるとこの効果が大きいことが見いだされた。

【0033】同様以上の効果を持つ構成は、電子放出部亀裂内の、正極側・負極側の両方にグラファイト膜を有する構成である。この場合のグラファイトの結晶性も上記と同程度であることを要する。通常の活性化工程で作成した素子の場合、主に正極側にカーボン膜が形成されるが、負極側には僅かしか形成されていない。このため負極側の導電性薄膜端部は、長時間の電子放出により徐々に後退するため、電子放出部亀裂の拡大を完全には防ぎきれない。両側にグラファイト膜を形成することによ

り、電子放出特性の変化の抑制はより高い効果をもつ。また、電気的な特性に関しては、活性化時の印加電圧を通常より高くすることにより、リーク電流を低減して素子電流 I_f を低下させ、同時に電子放出電流 I_e を上昇させることが出来る。結果として電子放出効率 η ($= I_e / I_f \times 100 [\%]$) を向上させることが出来る。

【0034】つぎに、放電現象は電子放出素子の駆動のため、素子電極間や、素子とアノード電極の間に電圧を印加したときに放電を生じる現象で、これによって電子放出素子が破損する場合があるため、十分に抑制することが必要である。放電は素子の周囲の気体分子が電離するために生ずるが、通常、素子の周囲の残留気体の圧力は、放電が生ずる圧力に比べ十分に低い。従って、電子放出素子の駆動中に素子の近傍から何らかの原因で突発的にガスが発生したと考えなければならない。このガスの発生源として最も重大と思われるのは、活性化のために堆積したカーボン膜自身である。もちろん、電子放出部亀裂の内部のカーボン膜は、常にジュール熱や電子による衝撃を受けており放出される気体が残留しているとは思われない。

【0035】一方、電子放出部亀裂の外部のカーボン膜は、グラファイトの結晶粒界に水素などが残留していたり、アモルファスカーボンや炭素化合物膜の場合、構成元素として水素などを含んでいたりと、それ自体が低分子化してガスとなるなどの可能性が危惧される。水素が放電を起こす際の実際のメカニズムが、上記のいずれによるのかを説明するには至っていないが、このことを念頭に置いて対策を講じることにより、放電抑制に顕著な効果が確認された。

【0036】すなわち、上記本発明の第1の構成をさらに限定した構成として、亀裂内に所望の結晶性を有するグラファイト膜を有し、かつ亀裂外部には実質的に前記所望の結晶性を有するグラファイト膜以外のカーボン膜を有しない構成である。

【0037】表面伝導型電子放出素子では、亀裂外の導電性薄膜上に、ガスを発生しうものがあると、正極側には、一旦放出されたあとアノードに向かわず、正極に吸い込まれてしまう電子が、飛来することがさけられず、また負極側には、アノードに向かう電子の衝撃により、残留気体が電離された陽イオンが飛来することが考えられる。これらによる衝撃を受けることで、カーボン膜からガスが発生し、放電を引き起こすことが懸念される。

【0038】従って、この部分の前記カーボン膜を除去すれば、この様なガスの発生と放電を抑制することが可能であると考えられる。後述するようにこの手段は顕著な効果を示した。

【0039】同様の目的で、違った構成も可能である。すなわち、亀裂外のカーボン膜の結晶性を高くすることによっても放電抑制に効果が確認された。

【0040】なお、これらの構成は、電子放出特性の改善にも有効であることが分かった。

【0041】つぎに、以上で説明したいいくつかの構成を実現するための製造方法について説明する。

【0042】図1は、本発明を適用可能な平面型表面伝導型電子放出素子の構成を示す模式図であり、図1(a)は平面図、図1(b)は断面図である。

【0043】図1において1は基板、2と3は素子電極、4は導電性薄膜、5は電子放出部亀裂、6は本発明に係る所望の結晶性を有するグラファイト膜である。

【0044】基板1としては、石英ガラス、Na等の不純物含有量を減少したガラス、青板ガラス、青板ガラスにスパッタ法等により SiO_2 を積層した積層体、アルミナ等のセラミックス等を用いることができる。

【0045】対向する素子電極2、3の材料としては、一般的な導体材料を用いることができる。これは例えばNi, Cr, Au, Mo, W, Pt, Ti, Al, Cu, Pd等の金属或は合金及びPd, Ag, Au, Ru, O_2 , Pd-Ag等の金属或は金属酸化物とガラス等から構成される印刷導体、 $In_2O_3-SnO_2$ 等の透明導電体及びポリシリコン等の半導体導体材料等から適宜選択することができる。

【0046】素子電極間隔L、素子電極長さW、導電性薄膜4の形状等は、応用される形態等を考慮して、設計される。

【0047】素子電極間隔Lは、数十nmから数百 μm の範囲とすることが好ましく、より好ましくは、素子電極間に印加する電圧と電子放出し得る電界強度等を考慮して数 μm から数十 μm の範囲とすることが出来る。

【0048】素子電極長さWは、電極の抵抗値、電子放出特性を考慮して、数 μm から数百 μm の範囲とすることが出来る。素子電極2、3の膜厚dは、数十nmから数 μm の範囲とすることが出来る。

【0049】図1に示した構成だけでなく、基板1上に、導電性薄膜4、対向する素子電極2、3の順に積層した構成とすることもできる。

【0050】導電性薄膜4には、良好な電子放出特性を得るために、微粒子で構成された微粒子膜を用いるのが好ましい。その膜厚は、素子電極2、3へのステップカバレッジ、素子電極2、3間の抵抗値及び後述するフォーミング条件等を考慮して適宜設定されるが、通常は、0.1nmの数倍から数百nmの範囲とするのが好ましく、より好ましくは1nmから50nmの範囲とするのが良い。その抵抗値は、 R_s が 10^2 から $10^7 \Omega/\square$ の値である。なお R_s は、厚さがt、幅がwで長さが1の薄膜の抵抗Rを、 $R = R_s \cdot (1/w)$ とおいたときに現れる値である。本願明細書において、フォーミング処理については、通電処理を例に挙げて説明するが、フォーミング処理はこれに限られるものではなく、膜に亀裂を生じさせて高抵抗状態に形成する物理的処理、あるいは

は化学的処理を包含するものである。

【0051】導電性薄膜4を構成する材料は、Pd、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pb等の金属、PdO、SnO₂、In₂O₃、PbO、Sb₂O₃等の酸化物、HfB₂、ZrB₂、LaB₆、CeB₆、YB₄、Gd₂B₄等の硼化物、TiC、ZrC、HfC、TaC、SiC、WCなどの炭化物、TiN、ZrN、HfN等の窒化物、Si、Ge等の半導体の中から適宜選択される。

【0052】なお、本明細書では頻繁に「微粒子」という言葉を用いるので、その意味について説明する。

【0053】小さな粒子を「微粒子」と呼び、これよりも小さなものを「超微粒子」と呼ぶ。「超微粒子」よりもさらに小さく、原子の数が数百個程度以下のものを「クラスター」と呼ぶことは広く行われている。

【0054】しかしながら、それぞれの境は厳密なものではなく、どの様な性質に注目して分類するかにより変化する。また「微粒子」と「超微粒子」を一括して「微粒子」と呼ぶ場合もあり、本明細書中での記述はこれに沿ったものである。

【0055】「実験物理学講座14 表面・微粒子」(木下是雄 編、共立出版 1986年9月1日発行)では次のように記述されている。

【0056】「本稿で微粒子と言うときにはその直径がだいたい2〜3 μ m程度から10nm程度までとし、特に超微粒子というときは粒径が10nm程度から2〜3nm程度までを意味することにする。両者を一括して単に微粒子と書くこともあってけっして厳密なものではなく、だいたいの目安である。粒子を構成する原子の数が2個から数十〜数百個程度の場合はクラスターと呼ぶ。」(195ページ 22〜26行目)。

【0057】付言すると、新技術開発事業団の“林・超微粒子プロジェクト”での「超微粒子」の定義は、粒径の下限はさらに小さく、次のようなものであった。

【0058】「創造科学技術推進制度の“超微粒子プロジェクト”(1981〜1986)では、粒子の大きさ(径)がおおよそ1〜100nmの範囲のものを“超微粒子”(ultra fine particle)と呼ぶことにした。すると1個の超微粒子はおおよそ100〜10⁸個くらいの原子の集合体という事になる。原子の尺度でみれば超微粒子は大〜巨大粒子である。」(「超微粒子—創造科学技術」林主税、上田良二、田崎明 編；三田出版 1988年 2ページ1〜4行目)／「超微粒子よりさらに小さいもの、すなわち原子が数個〜数百個で構成される1個の粒子は、ふつつクラスターと呼ばれる」(同書2ページ12〜13行目)。

【0059】上記のような一般的な呼び方をふまえて、本明細書において「微粒子」とは多数の原子・分子の集合体で、粒径の下限は0.1nmの数倍から1nm程

度、上限は数 μ m程度のものを指すこととする。

【0060】電子放出部5は、導電性薄膜4の一部に形成された高抵抗の亀裂により構成され、導電性薄膜4の膜厚、膜質、材料及び後述する通電フォーミング等の手法等に依存したものとなる。電子放出部亀裂5は、0.1nmの数倍から数十nmの範囲の粒径の導電性微粒子を用いて構成することもできる。この導電性微粒子は、導電性薄膜4を構成する材料の元素の一部、あるいは全ての元素を含有するものとなる。電子放出部亀裂5には、前述した所望の結晶性を有するグラファイト膜6を有する。

【0061】次に、垂直型表面伝導型電子放出素子について説明する。

【0062】図3は、本発明の表面伝導型電子放出素子を適用できる垂直型表面伝導型電子放出素子の一例を示す模式図である。

【0063】図3においては、図1に示した部位と同じ部位には図1に示した符号と同一の符号を付している。7は段さ形成部である。基板1、素子電極2及び3、導電性薄膜4、電子放出部亀裂5は、前述した平面型表面伝導型電子放出素子の場合と同様の材料で構成することができる。段さ形成部7は、真空蒸着法、印刷法、スパッタ法等で形成されたSiO₂等の絶縁性材料で構成することができる。段さ形成部7の膜厚は、先に述べた平面型表面伝導型電子放出素子の素子電極間隔しに対応し、数十nmから数十 μ mの範囲とすることができる。この膜厚は、段さ形成部の製法、及び素子電極間に印加する電圧と電子放出し得る電界強度等を考慮して設定されるが、数十nmから数 μ mの範囲が好ましい。

【0064】導電性薄膜4は、素子電極2及び3と段さ形成部7作成後に、該素子電極2、3の上に積層される。電子放出部5は、図3においては、段さ形成部7に直線状に形成されているが、作成条件、フォーミング条件等に依存し、形状、位置ともこれに限られるものではない。

【0065】上述の表面伝導型電子放出素子の製造方法としては様々な方法があるが、その一例を図4に模式的に示す。

【0066】以下、図1及び図4を参照しながら製造方法の一例について説明する。図4においても、図1に示した部位と同じ部位には図1に示した符号と同一の符号を付している。

【0067】1) 基板1を洗剤、純水および有機溶剤等を用いて十分に洗浄後、真空蒸着法、スパッタ法等により素子電極材料を堆積後、例えばフォトリソグラフィ技術を用いて基板1上に素子電極2、3を形成する(図4(a))。

【0068】2) 素子電極2、3を設けた基板1上に、有機金属溶液を塗布して、有機金属薄膜を形成する。有機金属溶液には、前述の導電性薄膜4の材料の金属を主

13

元素とする有機金属化合物の溶液を用いることができる。有機金属薄膜を加熱焼成処理し、リフトオフ、エッチング等によりパターンニングし、導電性薄膜4を形成する(図4(b))。ここでは、有機金属溶液の塗布法を挙げて説明したが、導電性薄膜4の形成法はこれに限られるものでなく、真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング法、スピナー法等を用いることもできる。

【0069】3) つづいて、フォーミングと呼ばれる通電処理を施す。素子電極2、3間に、不図示の電源を用いて、通電を行うと、導電性薄膜4の部位に、電子放出部亀裂5が形成される(図4(c))。通電フォーミングの電圧波形の例を図5に示す。

【0070】電圧波形は、パルス波形が、好ましい。これにはパルス波高値を定電圧としたパルスを連続的に印加する図5(a)に示した手法と、パルス波高値を増加させながら電圧パルスを印加する図5(b)に示した手法がある。

【0071】図5(a)におけるT1及びT2は電圧波形のパルス幅とパルス間隔である。通常T1は1μsec. ~10μsec.、T2は10μsec. ~100 msec. の範囲で設定される。三角波の波高値(通電フォーミング時のピーク電圧)は、表面伝導型電子放出素子の形態に応じて適宜選択される。このような条件のもと、真空雰囲気下で、数秒から数十分間電圧を印加する。パルス波形は三角波に限定されるものではなく、矩形波などの所望の波形を採用することができる。

【0072】図5(b)におけるT1及びT2は、図5(a)に示したのと同様とすることができる。三角波の波高値(通電フォーミング時のピーク電圧)は、例えば0.1Vステップ程度づつ、増加させることができる。

【0073】通電フォーミング処理の終了は、パルス間隔T2中に、導電性薄膜4を局部的に破壊、変形しない程度の電圧を印加し、電流を測定して検知することができる。例えば0.1V程度の電圧印加により流れる素子電流を測定し、抵抗値を求めて、1MΩ以上の抵抗を示した時、通電フォーミングを終了させる。

【0074】4) フォーミング処理を終えた素子には活性化処理と呼ばれる処理を施す。

【0075】活性化処理は、真空雰囲気下で、パルスの印加を繰り返すことで行うことができる。この処理によれば、真空雰囲気中に微量に存在する有機物質から、炭素あるいは炭素化合物が素子上に堆積し、素子電流If、放出電流Ieが、著しく変化ようになる。素子電流Ifと放出電流Ieを測定しながら、例えば放出電流Ieが飽和した時点で、活性化工程を終了させる。

【0076】なお、このとき雰囲気中に存在する有機物質、拡散ポンプやロータリーポンプなどのオイルを用いる排気装置から真空容器内に拡散するオイル成分を利用しても良いし、排気装置としてイオンポンプなどの超高

14

真空用排気装置を用いて真空容器内を排気した後有機物質を導入しても良い。このとき用いられる有機物質としては、アルカン、アルケン、アルキンの脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド類、ケトン類、アミン類、フェノール、カルボン酸、スルホン酸などの有機酸類などを挙げる事が出来、具体的には、メタン、エタン、プロパンなどC_nH_{2n+2}で表される飽和炭化水素、エチレン、プロピレンなどC_nH_{2n}等の組成式で表される不飽和炭化水素、ベンゼン、トルエン、メタノール、エタノール、ホルムアルデヒド、アセトアルデヒド、アセトン、メチルエチルケトン、メチルアミン、エチルアミン、フェノール、蟻酸、酢酸、プロピオン酸等が使用できる。

【0077】このとき素子に印加する電圧パルスの波形は、例えば図6(a)に示すような矩形波パルスを用いることができる。

【0078】電子放出部亀裂内のカーボン膜が前述の所望の結晶性を有するグラファイト膜となる構造を得るための方法をいくつか挙げる事が出来る。

【0079】第1の方法は、上記活性化工程終了後、不要なカーボン膜を除去するエッチング工程を施すものである。

【0080】エッチング工程とは、カーボンに対するエッチング性を有するガスを含む雰囲気中で、素子に電圧を印加するものである。電圧は、上記活性化工程と同様なパルスを採用することが出来る。

【0081】エッチング性を有するガスとしては、組成式XY(X、Yは各々、H又はハロゲン)を用いる事が出来る。活性化工程で堆積したカーボン膜は、上記エッチングガスによりエッチングされるが、エッチングの速度はカーボンの結晶性により異なる。電子放出部亀裂の外部では、グラファイトの微結晶、アモルファスカーボン、水素などの他の原子を含んだ炭素化合物などを主体とするカーボン膜が堆積しているためほとんどのカーボンがエッチングされ、実質的に亀裂内部にしかカーボン膜は残らない。亀裂内部でも結晶性の低い部分はエッチングされるので、結果として結晶性の比較的高いグラファイト膜6が残される(図4(d))。なお、上記エッチングガスは、電子放出素子より放出される電子の衝撃により、原子状水素などのラジカルを発生しているものと考えられる。

【0082】第2の方法は、活性化工程と並行してエッチングを行うことである。例えば真空装置内に有機物質とともに水素などのエッチングガスを導入したり、有機物質とエッチングガスを交互に導入したりすればよい。エッチングは、活性化工程の最初から行っても良いし、はじめは通常の活性化処理を行い、途中からエッチングを並行して行うようにしても良い。なお、この工程中、基板を加熱しても良い。

【0083】この方法では、結晶性の低いカーボン膜は

15

堆積してもすぐに除去されるので、結果として結晶性の高いグラファイト膜のみが成長する。ただし第1の方法の場合とは異なり、亀裂外部にもグラファイト膜が形成される場合がある(図24(a)参照)。

【0084】第3の方法は、活性化パルスとして、図6(b)に示すような、両極性のパルスを用いる方法である。この方法によれば、電子放出部亀裂の両方の極にカーボン膜が堆積する。このとき上記のエッチングを行わなくても亀裂内部のカーボン膜は、比較的結晶性の高いグラファイト膜になる。このようになる理由は、主に正極側にカーボン膜を成長させる場合に比べ、両方の極からカーボン膜が成長してゆくため、亀裂内ではカーボン膜の成長している部分により強い電界がかかることが何らかの作用をしていることが想像される。なお、この工程中に基板を加熱しても良く、また正・負両方のパルスの波高値とパルス幅は、等しくても、等しくなくても良く、素子の利用形態等により適宜選択される。

【0085】なお、第3の方法は、第1ないし第2の方法と併用することが好ましい。

【0086】5)このような工程を経て得られた電子放出素子は、安定化工程を行うことが好ましい。この工程は、真空容器内の有機物質を排気する工程である。真空容器を排気する真空排気装置は、装置から発生するオイルが素子の特性に影響を与えないように、オイルを使用しないものを用いるのが好ましい。具体的には、ソーブションポンプ、イオンポンプ等の真空排気装置を挙げることが出来る。

【0087】前記の活性化の工程で、排気装置として油拡散ポンプやロータリーポンプを用い、これから発生するオイル成分に由来する有機ガスを用いた場合には、この成分の分圧を極力低く抑える必要がある。真空容器内の有機成分の分圧は、上記の炭素及び炭素化合物がほぼ新たに堆積しない分圧で 10^{-6} Pa以下が好ましく、さらには 10^{-8} Pa以下が特に好ましい。さらに真空容器内を排気するときには、真空容器全体を加熱して、真空容器内壁や、電子放出素子に吸着した有機物質分子を排気しやすくするのが好ましい。このときの加熱条件は、80～250℃で5時間以上が望ましいが、特にこの条件に限るものではなく、真空容器の大きさや形状、電子放出素子の構成などの諸条件により適宜選ばれる条件により行う。真空容器内の圧力は極力小さくすることが必要で、 $1\sim4\times10^{-5}$ Pa以下が好ましく、さらに 1×10^{-6} Pa以下が特に好ましい。

【0088】安定化工程を行った後の、駆動時の雰囲気は、上記安定化処理終了時の雰囲気を維持するのが好ましいが、これに限るものではなく、有機物質が十分除去されていれば、真空度自体は多少低下しても十分安定な特性を維持することが出来る。

【0089】このような真空雰囲気を採用することにより、新たな炭素あるいは炭素化合物の堆積を抑制でき、

16

結果として素子電流 I_f 、放出電流 I_e が安定する。

【0090】上述の工程を経て得られた本発明を適用可能な電子放出素子の基本特性について図7、図8を参照しながら説明する。

【0091】図7は、真空処理装置の一例を示す模式図であり、この真空処理装置は測定評価装置としての機能も兼ね備えている。図7においても、図1に示した部位と同じ部位には図1に付した符号と同一の符号を付している。図7において、15は真空容器であり、16は排気ポンプである。真空容器15内には電子放出素子が配されている。即ち、1は電子放出素子を構成する基体であり、2及び3は素子電極、4は導電性薄膜、5は電子放出部亀裂で、図では省略してあるが亀裂内部にグラファイト膜を有する。11は電子放出素子に素子電圧 V_f を印加するための電源、10は素子電極2、3間の導電性薄膜4を流れる素子電流 I_f を測定するための電流計、14は素子の電子放出部より放出される放出電流 I_e を捕捉するためのアノード電極である。13はアノード電極14に電圧を印加するための高圧電源、12は素子の電子放出部5より放出される放出電流 I_e を測定するための電流計である。一例として、アノード電極の電圧を1kV～10kVの範囲とし、アノード電極と電子放出素子との距離 H を2～8mmの範囲として測定を行うことができる。

【0092】真空容器15内には、不図示の真空計等の真空雰囲気下での測定に必要な機器が設けられていて、所望の真空雰囲気下での測定評価を行えるようになっている。排気ポンプ16は、ターボポンプ、ロータリーポンプからなる通常の高真空装置系と更に、イオンポンプ等からなる超高真空装置系とにより構成されている。ここに示した電子源基板を配した真空処理装置の全体は、不図示のヒーターにより250℃程度まで加熱できる。従って、この真空処理装置を用いると、前述のフォーミング以降の工程も行うことができる。

【0093】図8は、図7に示した真空処理装置を用いて測定された放出電流 I_e 、素子電流 I_f と素子電圧 V_f との関係を模式的に示した図である。図8においては、放出電流 I_e が素子電流 I_f に比べて著しく小さいので、任意単位で示している。尚、いずれもリニアスケールである。

【0094】図8からも明らかなように、本発明の表面伝導型電子放出素子は、放出電流 I_e に関して3つの特徴的性質を有する。

【0095】即ち、(I)本素子はある電圧(しきい値電圧と呼ぶ：図8中の V_{th})以上の素子電圧を印加すると急激に放出電流 I_e が増加し、一方しきい値電圧 V_{th} 以下では放出電流 I_e が殆ど検出されない。つまり、放出電流 I_e に対する明確なしきい値電圧 V_{th} を持った非線形素子である。

【0096】(II)放出電流 I_e が素子電圧 V_f に単

調増加依存するため、放出電流 I_e は素子電圧 V_f で制御できる。

【0097】(III) アノード電極14に捕捉される放出電荷は、素子電圧 V_f を印加する時間に依存する。つまり、アノード電極14に捕捉される電荷量は、素子電圧 V_f を印加する時間により制御できる。

【0098】以上の説明より理解されるように、本発明の表面伝導型電子放出素子は、入力信号に応じて、電子放出特性を容易に制御できることとなる。この性質を利用すると複数の電子放出素子を配して構成した電子源、

画像形成装置等、多方面への応用が可能となる。
【0099】図8においては、素子電流 I_f は素子電圧 V_f に対して単調増加する(以下、「MI特性」という。)。また、素子電流 I_f が素子電圧 V_f に対して電圧制御型負性抵抗特性(以下、「VCNR特性」という。)を示す場合もある。これらの特性は、製造条件を制御することで制御できる本発明を適用可能な電子放出素子の応用例について以下に述べる。本発明の表面伝導型電子放出素子の複数個を基板上に配列し、例えば電子源あるいは、画像形成装置が構成できる。

【0100】電子放出素子の配列については、種々のものが採用できる。

【0101】一例として、並列に配置した多数の電子放出素子の個々を両端で接続し、電子放出素子の行を多数個配し(行方向と呼ぶ)、この配線と直交する方向(列方向と呼ぶ)で、該電子放出素子の上方に配した制御電極(グリッドとも呼ぶ)により、電子放出素子からの電子を制御駆動するはしご状配置のものがある。これとは別に、電子放出素子をX方向及びY方向に行列状に複数個配し、同じ行に配された複数の電子放出素子の電極の一方を、X方向の配線に共通に接続し、同じ列に配された複数の電子放出素子の電極の他方を、Y方向の配線に共通に接続するものが挙げられる。このようなものは所謂単純マトリクス配置である。まず単純マトリクス配置について以下に詳述する。

【0102】本発明を適用可能な表面伝導型電子放出素子については、前述したとおり、(I)乃至(III)の特性がある。即ち、表面伝導型電子放出素子からの放出電子は、しきい値電圧以上では、対向する素子電極間に印加するパルス状電圧の波高値と幅で制御できる。一方、しきい値電圧以下では、殆ど電子は放出されない。この特性によれば、多数の電子放出素子を配置した場合においても、個々の素子に、パルス状電圧を適宜印加すれば、入力信号に応じて、表面伝導型電子放出素子を選択して電子放出量が制御できる。

【0103】以上の原理に基づき、本発明の電子放出素子を複数配して得られる電子源基板について、図9を用いて説明する。図9において、21は電子源基板、22はX方向配線、23はY方向配線である。24は表面伝導型電子放出素子、25は結線である。尚、表面伝導型

電子放出素子24は、前述した平面型あるいは垂直型のどちらであってもよい。

【0104】m本のX方向配線22は、 $D \times 1, D \times 2, \dots, D \times m$ からなり、真空蒸着法、印刷法、スパッタ法等を用いて形成された導電性金属等で構成することができる。配線の材料、膜厚、巾は、適宜設計される。Y方向配線23は、外部端子 $Dy1, Dy2, \dots, Dyn$ のn本の配線よりなり、X方向配線22と同様に形成される。これらm本のX方向配線22とn本のY方向配線23との間には、不図示の層間絶縁層が設けられており、両者を電氣的に分離している(m, nは共に正の整数)。

【0105】不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等を用いて形成された SiO_2 等で構成される。例えば、X方向配線22を形成した基板21の全面或は一部に所望の形状で形成され、特に、X方向配線22とY方向配線23の交差部の電位差に耐え得るように、膜厚、材料、製法が、適宜設定される。X方向配線22とY方向配線23は、それぞれ外部端子として引き出されている。

【0106】表面伝導型電子放出素子24を構成する一対の素子電極(不図示)は、m本のX方向配線22とn本のY方向配線23と導電性金属等からなる結線25によって電氣的に接続されている。

【0107】配線22と配線23を構成する材料、結線25を構成する材料及び一対の素子電極を構成する材料は、その構成元素の一部あるいは全部が同一であっても、また夫々異なってもよい。これらの材料は、例えば前述の素子電極の材料等より適宜選択される。素子電極を構成する材料と配線材料が同一である場合には、素子電極に接続した配線は素子電極ということもできる。

【0108】X方向配線22には、X方向に配列した表面伝導型電子放出素子24の行を、選択するための走査信号を印加する不図示の走査信号印加手段が電氣的に接続される。一方、Y方向配線23には、Y方向に配列した表面伝導型電子放出素子24の各列を入力信号に応じて、変調するための不図示の変調信号発生手段が接続される。更に、各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給される。

【0109】上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択し、独立に駆動可能とすることができる。

【0110】このような単純マトリクス配置の電子源を用いて構成した画像形成装置について、図10と図11及び図12を用いて説明する。図10は、画像形成装置の表示パネルの一例を示す模式図であり、図11は、図10の画像形成装置に使用される蛍光膜の模式図である。図12は、NTSC方式のテレビ信号に応じて表示を行うための駆動回路の一例を示すブロック図である。

【0111】図10において、21は電子放出素子を複数配置した電子源基板、31は電子源基板21を固定したリアプレート、36はガラス基板33の内面に蛍光膜34とメタルバック35等が形成されたフェースプレートである。32は支持棒であり、該支持棒32には、リアプレート31、フェースプレート36がフリットガラス等を用いて接続されている。37は外囲器であり、例えば大気中あるいは窒素中で、400～500℃の温度範囲で10分以上焼成することで、封着して構成される。

【0112】24は電子放出素子。22、23は、表面伝導型電子放出素子の一对の素子電極と接続されたX方向配線及びY方向配線である。

【0113】外囲器37は、上述の如く、フェースプレート36、支持棒32、リアプレート31で構成される。リアプレート31は主に基板21の強度を補強する目的で設けられるため、基板21自体で十分な強度を持つ場合は別体のリアプレート31は不要とすることができる。即ち、基板21に直接支持棒32を封着し、フェースプレート36、支持棒32及び基板21にて外囲器37を構成しても良い。一方、フェースプレート36、リアプレート31間に、スペーサーと呼ばれる不図示の支持体を設置することにより、大気圧に対して十分な強度を持つ外囲器37を構成することもできる。

【0114】図11は、蛍光膜を示す模式図である。蛍光膜34は、モノクロームの場合は蛍光体のみから構成することができる。カラーの蛍光膜の場合は、蛍光体の配列により、ブラックストライプ(図11(a))あるいはブラックマトリクス(図11(b))などと呼ばれる黒色導電材38と蛍光体39とから構成することができる。ブラックストライプ、ブラックマトリクスが設ける目的は、カラー表示の場合、必要となる三原色蛍光体の各蛍光体39間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜34における外光反射によるコントラストの低下を抑制することにある。黒色導電材38の材料としては、通常良く用いられている黒鉛を主成分とする材料の他、導電性があり、光の透過及び反射が少ない材料を用いることができる。

【0115】ガラス基板33に蛍光体を塗布する方法は、モノクローム、カラーによらず、沈澱法や印刷法が採用できる。蛍光膜34の内面側には、通常メタルバック35が設けられる。メタルバックを設ける目的は、蛍光体の発光のうち内面側への光をフェースプレート36側へ鏡面反射させることにより輝度を向上させること、電子ビーム加速電圧を印加するための電極として作用させること、外囲器内で発生した負イオンの衝突によるダメージからの蛍光体を保護すること等である。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理(通常、「フィルミング」と呼ばれる。)を行い、その後A1を真空蒸着等を用いて堆積させることで作製で

きる。

【0116】フェースプレート36には、更に蛍光膜34の導電性を高めるため、蛍光膜34の外表面側に透明電極(不図示)を設けてもよい。

【0117】前述の封着を行う際には、カラーの場合は各色蛍光体と電子放出素子とを対応させる必要があり、十分な位置合わせが不可欠となる。

【0118】図10に示した画像形成装置は、例えば以下のようにして製造される。

10 【0119】外囲器37は、前述の安定化工程と同様に、適宜加熱しながら、イオンポンプ、ソーブションポンプなどのオイルを使用しない排気装置により不図示の排気管を通じて排気し、 10^{-5} Pa程度の真空度の有機物質の十分に少ない雰囲気にした後、封止が成される。外囲器37の封止後の真空度を維持するために、ゲッター処理を行うこともできる。これは、外囲器37の封止を行う直前あるいは封止後に、抵抗加熱あるいは高周波加熱等を用いた加熱により、外囲器37内の所定の位置に配置されたゲッター(不図示)を加熱し、蒸着膜を形成する処理である。ゲッターは通常Ba等が主成分であり、該蒸着膜の吸着作用により、例えば 1×10^{-4} ないしは 1×10^{-5} Paの真空度を維持するものである。ここで、表面伝導型電子放出素子のフォーミング処理以降の工程は、適宜設定できる。

【0120】次に、単純マトリクス配置の電子源を用いて構成した表示パネルに、NTSC方式のテレビ信号に基づいたテレビジョン表示を行うための駆動回路の構成例について、図12を用いて説明する。図12において、41は画像表示表示パネル、42は走査回路、43は制御回路、44はシフトレジスタである。45はラインメモリ、46は同期信号分離回路、47は変調信号発生器、Vx及びVaは直流電圧源である。

【0121】表示パネル41は、端子Dox1乃至Doxm、端子Doy1乃至Doy n、及び高圧端子Hvを介して外部の電気回路と接続している。端子Dox1乃至Doxmには、表示パネル内に設けられている電子源、即ちm行n列の行列状にマトリクス配線された表面伝導型電子放出素子群を一行(n素子)ずつ順次駆動する為の走査信号が印加される。

40 【0122】端子Doy1乃至Doy nには、前記走査信号により選択された一行の表面伝導型電子放出素子の各素子の出力電子ビームを制御する為の変調信号が印加される。高圧端子Hvには、直流電圧源Vaより、例えば10k[V]の直流電圧が供給されが、これは表面伝導型電子放出素子から放出される電子ビームに、蛍光体を励起するのに十分なエネルギーを付与する為の加速電圧である。

【0123】走査回路42について説明する。同回路は、内部にm個のスイッチング素子を備えたもので(図中、S1ないしSmで模式的に示している)ある。各ス

21

イッチング素子は、直流電圧電源 V_x の出力電圧もしくは0[V]（グラウンドレベル）のいずれか一方を選択し、表示パネル41の端子 D_{ox1} 乃至 D_{oxm} と電気的に接続される。S1乃至Smの各スイッチング素子は、制御回路43が出力する制御信号 $Tscan$ に基づいて動作するものであり、例えばFETのようなスイッチング素子を組み合わせることにより構成することができる。

【0124】直流電圧源 V_x は、本例の場合には表面伝導型電子放出素子の特性（電子放出しきい値電圧）に基づき、走査されていない素子に印加される駆動電圧が電子放出しきい値電圧以下となるような一定電圧を出力するよう設定されている。

【0125】制御回路43は、外部より入力する画像信号に基づいて適切な表示が行なわれるように、各部の動作を整合させる機能を有する。制御回路43は、同期信号分離回路46より送られる同期信号 $Tsync$ に基づいて、各部に対して $Tscan$ 、 $Tsft$ 及び $Tmry$ の各制御信号を発生する。

【0126】同期信号分離回路46は、外部から入力されるNTSC方式のテレビ信号から同期信号成分と輝度信号成分とを分離する為の回路で、一般的な周波数分離（フィルター）回路等を用いて構成できる。同期信号分離回路46により分離された同期信号は、垂直同期信号と水平同期信号より成るが、ここでは説明の便宜上 $Tsync$ 信号として図示した。前記テレビ信号から分離された画像の輝度信号成分は便宜上DATA信号と表した。該DATA信号はシフトレジスタ44に入力される。

【0127】シフトレジスタ44は、時系列的にシリアル入力される前記DATA信号を、画像の1ライン毎にシリアル/パラレル変換するためのもので、前記制御回路43より送られる制御信号 $Tsft$ に基づいて動作する（即ち、制御信号 $Tsft$ は、シフトレジスタ44のシフトクロックであるということもできる。）。シリアル/パラレル変換された画像1ライン分（電子放出素子 n 素子分の駆動データに相当）のデータは、 $Id1$ ないし Idn の n 個の並列信号として前記シフトレジスタ44より出力される。

【0128】ラインメモリ45は、画像1ライン分のデータを必要時間だけ記憶する為の記憶装置であり、制御回路43より送られる制御信号 $Tmry$ に従って適宜 $Id1$ 乃至 Idn の内容を記憶する。記憶された内容は、 $Id'1$ 乃至 $Id'n$ として出力され、変調信号発生器47に入力される。

【0129】変調信号発生器47は、画像データ $Id'1$ 乃至 $Id'n$ の各々に応じて表面伝導型電子放出素子の各々を適切に駆動変調する為の信号源であり、その出力信号は、端子 D_{oy1} 乃至 $D_{oy n}$ を通じて表示パネル41内の表面伝導型電子放出素子に印加される。

22

【0130】前述したように、本発明を適用可能な電子放出素子は放出電流 I_e に対して以下の基本特性を有している。即ち、電子放出には明確なしきい値電圧 V_{th} があり、 V_{th} 以上の電圧を印加された時のみ電子放出が生じる。電子放出しきい値電圧以上の電圧に対しては、素子への印加電圧の変化に応じて放出電流も変化する。このことから、本素子にパルス状の電圧を印加する場合、例えば電子放出しきい値電圧以下の電圧を印加しても電子放出は生じないが、電子放出しきい値電圧以上の電圧を印加する場合には電子ビームが出力される。その際、パルスの波高値 V_m を変化させる事により出力電子ビームの強度を制御することが可能である。また、パルスの幅 P_w を変化させる事により出力される電子ビームの電荷の総量を制御する事が可能である。

【0131】従って、入力信号に応じて、電子放出素子を変調する方式としては、電圧変調方式、パルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器47として、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜パルスの波高値を変調するような電圧変調方式の回路を用いることができる。

【0132】パルス幅変調方式を実施するに際しては、変調信号発生器47として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

【0133】シフトレジスタ44やラインメモリ45は、デジタル信号式のものをアナログ信号式のものを採用できる。画像信号のシリアル/パラレル変換や記憶が所定の速度で行えるものであれば良いからである。

【0134】デジタル信号式を用いる場合には、同期信号分離回路46の出力信号DATAをデジタル信号化する必要があるが、これには同期信号分離回路46の出力部にA/D変換器を設ければ良い。これに関連して、ラインメモリ45の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器47に設けられる回路が若干異なったものとなる。即ち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器47には、例えばD/A変換回路を用い、必要に応じて増幅回路などを付加する。パルス幅変調方式の場合、変調信号発生器47には、例えば高速の発振器及び発振器の出力する波数を計数する計数器（カウンタ）及び計数器の出力値と前記メモリの出力値を比較する比較器（コンパレータ）を組み合わせた回路を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【0135】アナログ信号を用いた電圧変調方式の場合、変調信号発生器47には、例えばオペアンプなどを用いた増幅回路を採用でき、必要に応じてレベルシフト

23

回路などを付加することもできる。パルス幅変調方式の場合には、例えば、電圧制御型発振回路（VCO）を採用でき、必要に応じて表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【0136】このような構成をとり得る本発明の画像形成装置においては、各電子放出素子に、容器外端子Dox1乃至Doxm、Doy1乃至Doy nを介して電圧を印加することにより、電子放出が生ずる。高圧端子Hvを介してメタルバック35、あるいは透明電極（不図示）に高圧を印加し、電子ビームを加速する。加速された電子は、蛍光膜34に衝突し、発光が生じて画像が形成される。

【0137】ここで述べた画像形成装置の構成は、本発明を適用可能な画像形成装置の一例であり、本発明の技術思想に基づいて種々の変形が可能である。入力信号については、NTSC方式を挙げたが入力信号はこれに限られるものではなく、PAL、SECAM方式などの他、これよりも、多数の走査線からなるTV信号（例えば、MUSE方式をはじめとする高品位TV）方式をも採用できる。

【0138】次に、はしご型配置の電子源及び画像形成装置について図13及び図14を用いて説明する。

【0139】図13は、はしご型配置の電子源の一例を示す模式図である。図13において、21は電子源基板、24は電子放出素子である。26（Dx1乃至Dx10）は、電子放出素子24を接続するための共通配線である。電子放出素子24は、基板21上に、X方向に並列に複数個配置されている（これを素子行と呼ぶ。）。この素子行が複数行配されて、電子源を構成している。各素子行の共通配線間に駆動電圧を印加することで、各素子行を独立に駆動させることができる。即ち、電子ビームを放出させたい素子行には、電子放出しきい値電圧以上の電圧を、電子ビームを放出しない素子行には、電子放出しきい値電圧以下の電圧を印加する。各素子行間の共通配線Dx2乃至Dx9は、例えばDx2、Dx3を同一配線とすることもできる。

【0140】図14は、はしご型配置の電子源を備えた画像形成装置におけるパネル構造の一例を示す模式図である。27はグリッド電極、28は電子が通過するための空孔、29はDox1乃至Doxmよりなる容器外端子である。30は、グリッド電極27と接続されたG1乃至Gnからなる容器外端子、21は電子源基板である。図14において、図10、図13に示した部位と同じ部位には、これらの図に付したのと同じ符号を付している。ここに示した画像形成装置と、図10に示した単純マトリクス配置の画像形成装置との大きな違いは、電子源基板21とフェースプレート36の間にグリッド電極27を備えているか否かである。

【0141】グリッド電極27は、表面伝導型電子放出

24

素子から放出された電子ビームを変調するためのものであり、はしご型配置の素子行と直交して設けられたストライプ状の電極に電子ビームを通過させるため、各素子に対応して1個ずつ円形の開口28が設けられている。グリッドの形状や配置位置は図14に示したものに限定されるものではない。例えば、開口としてメッシュ状に多数の通過口を設けることもでき、グリッドを表面伝導型電子放出素子の周囲や近傍に設けることもできる。

【0142】容器外端子29及びグリッド容器外端子30は、不図示の制御回路と電気的に接続されている。

【0143】本例の画像形成装置では、素子行を1列ずつ順次駆動（走査）していくのと同期してグリッド電極列に画像1ライン分の変調信号を印加する。これにより、各電子ビームの蛍光体への照射を制御し、画像を1ラインずつ表示することができる。

【0144】本発明の画像形成装置は、テレビジョン放送の表示装置、テレビ会議システムやコンピューター等の表示装置の他、感光ドラム等を用いて構成された光プリンターとしての画像形成装置としても用いることができる。

【0145】

【実施例】以下に、実施例に基づき本発明を説明する。

【0146】〔実施例1、比較例1〕本実施例では、図17に示す構成の表面伝導型電子放出素子を作成した。本実施例の製造方法は、図4に示したものと基本的には同様である。

【0147】以下に図1及び図4を用いて、本実施例の構成と製造方法を説明する。

【0148】工程-a

清浄化した青板ガラス上に0.5 μ mのシリコン酸化膜をスパッタリング法により形成した基板1上に、所望の電極の形状の開口を有するホトレジスト（RD-2000N-41；日立化成社製）パターンを形成し、真空蒸着法により厚さ5nmのTi、厚さ100nmのNiを順次堆積した。この後ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフして、素子電極2、3を形成した（図4の（a））。素子電極の間隔Lは3 μ m、幅Wは300 μ mである。

【0149】工程-b

導電性薄膜4を形成するため、Cr膜のマスキを形成する。素子電極を形成した基板に、真空蒸着法により厚さ300nmのCr膜を堆積、通常のフォトリソグラフィープロセスにより、導電性薄膜のパターンに相当する開口部を設ける。

【0150】これにPdアミン錯体溶液（ccp4230；奥野製薬（株）製）をスピンナーにより回転塗布し、大気中300℃12分間の加熱焼成処理を施した。こうして形成された膜は、PdOを主成分とする導電性の微粒子膜で、膜厚は7nmであった。

【0151】工程-c

25

Cr膜をウェットエッチングして除去する。PdO微粒子膜はリフトオフによりパターンニングされ所望の形状の導電性薄膜4が形成される(図4の(b))。

【0152】導電性薄膜4の抵抗値は $R_s = 2 \times 10^4 \Omega/\square$ であった。

【0153】工程-d

上記素子を、図7の測定評価装置に移した。真空容器15内部は排気装置16により $2.7 \times 10^{-3} \text{ Pa}$ の圧力になるまで排気した後、素子電極2, 3の間に電圧を印加してフォーミング処理を施した。これに用いた電圧波形は図5(b)に示されたもので、 $T1 = 1 \text{ msec}$ 、 $T2 = 10 \text{ msec}$ である。三角波の波高値は0.1Vステップで昇圧させた。また一つのフォーミングパルスからつぎのフォーミングパルスの間に、0.1Vの抵抗測定用パルス(不図示)を印加し、抵抗値をモニタしながらフォーミングを行った。フォーミング処理は、抵抗値が1M Ω を超えたところで終了した(図4の(c))。終了時のフォーミングパルスの波高値(フォーミング電圧)は5.0Vおよび5.1Vであった。

【0154】工程-e

2つの素子に活性化処理を施した。このとき真空容器15内の圧力は、 $2.0 \times 10^{-3} \text{ Pa}$ であった。活性化に用いたパルスは、図6(b)に示すような矩形波で、 $V_{ph} = 18 \text{ V}$ とした。 I_f 、 I_e を測定しながら活性化処理を行い、約30分で、 I_e が飽和を示したので処理を終了した。

【0155】この後、素子の電子放出特性を測定した。*

素子	$I_f(\text{mA})$	$I_e(\mu\text{A})$	$\eta(\%)$	駆動後 $I_f(\text{mA})$	駆動後 $I_e(\mu\text{A})$	駆動後 $\eta(\%)$	放電耐圧 (kV)
A	1.0	4.0	0.40	0.7	2.5	0.36	5.5
B	2.0	4.0	0.20	1.4	2.5	0.18	2.5

【0161】〔実施例2〕本実施例において図17に示した構成の表面伝導型電子放出素子を作成した。

【0162】工程-a

清浄化した石英ガラス製の基板1上に、所望の電極の形状の開口を有するホトレジスト(RD-2000N-41; 日立化成社製)パターンを形成し、真空蒸着法により、厚さ5nmのTi、厚さ100nmのNiを順次堆積した。この後ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜の不要部分をリフトオフにより除去して素子電極2, 3を形成した(図4の(a))。素子電極の間隔 $L = 10 \mu\text{m}$ 、幅 $W = 300 \mu\text{m}$ である。

【0163】工程-b

電子放出部5を形成するための導電性薄膜4を所定の形状にパターンニングする。このため、厚さ50nmのCr膜を真空蒸着法により堆積し、上記素子電極2, 3と電極間隙の一部を露出する開口を有するようにパターンニングする。開口の巾 W' は $100 \mu\text{m}$ とした。その上にP※50

26

*排気装置をイオンポンプに切り替え真空容器15内の有機物質の残留を極力防止するようにした。素子とアノード電極間の距離は4mm、電位差は1kVとした。測定時の真空容器15内の圧力は $4.2 \times 10^{-4} \text{ Pa}$ (有機物質の分圧にして $4.2 \times 10^{-5} \text{ Pa}$)であった。

【0156】測定された電流値は、両方の素子とも $I_f = 2.0 \text{ mA}$ 、 $I_e = 4.0 \mu\text{A}$ 、従って電子放出効率 $\eta = I_e / I_f = 0.2\%$ であった。

【0157】工程-f

一方の素子をA(実施例1)、他方をB(比較例1)と呼ぶことにする。素子Aのみに工程eと同じパルスの印加を続ける。

【0158】真空容器内に水素ガスを導入、圧力を $1.3 \times 10^{-2} \text{ Pa}$ とした。素子Aの I_f は徐々に減少し、 $I_f = 1 \text{ mA}$ 程度では安定した(図4の(d))。

【0159】この後、水素導入を停止し、 $1.3 \times 10^{-4} \text{ Pa}$ まで下げ、素子A, Bともに18V矩形波パルスを印加し、電子放出特性の測定を行った。この後さらに電子放出を続けて、長時間駆動継続後、特性がどの様に変化しているかを調べた。さらに、1素子ずつ駆動し、アノード電圧を0.5kV刻みで昇圧し、放電を起こさずに駆動できるアノード電圧の上限を求めた。結果は以下の通り、素子AではBに比して、電子放出効率が向上するほか、長時間駆動による特性の低下が抑制され、放電耐圧も改善されることが分かった。

【0160】

【表1】

素子	$I_f(\text{mA})$	$I_e(\mu\text{A})$	$\eta(\%)$	駆動後 $I_f(\text{mA})$	駆動後 $I_e(\mu\text{A})$	駆動後 $\eta(\%)$	放電耐圧 (kV)
A	1.0	4.0	0.40	0.7	2.5	0.36	5.5
B	2.0	4.0	0.20	1.4	2.5	0.18	2.5

※dアミン錯体溶液(ccp4230; 奥野製薬(株)製)をスピンナーを用いて塗布し、大気中300℃10分間の加熱焼成処理を行った。これによりPdOの微粒子からなる導電性薄膜4が形成された。こうして形成された膜の厚さは12nmであった。

【0164】工程-c

Cr膜をウェットエッチングによって取り除き、導電性薄膜4を所望のパターンに形成した(図4の(b))。導電性薄膜4の抵抗値は $R_s = 1.5 \times 10^4 \Omega/\square$ であった。

【0165】工程-d

以上の加工を施した基板を、図7に示す測定評価装置にセットし、真空容器15内を排気装置16(イオンポンプ)により排気して $2.6 \times 10^{-6} \text{ Pa}$ に達した後、素子電圧 V_f を印加するための電源11により各素子電極2, 3の間にパルスを印加し、通電フォーミングを施した。フォーミングに用いた電圧波形は図5(b)に示さ

27

れるものである。

【0166】本実施例では、 $T1=1\text{msec.}$ 、 $T2=10\text{msec.}$ とし、三角波の波高値（フォーミング時のピーク電圧）は0.1Vステップでアップさせフォーミング処理を行った。またフォーミング処理中は、同時に0.1Vの電圧でフォーミングパルスの休止中に抵抗測定用パルスを挿入して抵抗の測定を行った。フォーミングの終了は、この測定値 $1\text{M}\Omega$ 以上になった時とし、電圧の印加を終了した。フォーミング終了時のパルス波高値はいずれの素子も約7.0Vであった。

【0167】工程-e

バリアブルリークバルブ17を開き、液溜18からアセトンを導入する。四重極質量分析器により真空容器15内部のアセトン分圧を監視し、分圧が $1.3\times 10^{-1}\text{Pa}$ となるようバルブを調整した。

【0168】工程-f

図6(b)に示す、単極性矩形波パルスを印加した。パルス波高値は $V_{ph}=18\text{V}$ 、パルス幅 $T1=1\text{msec.}$ 、パルス間隔 $T2=10\text{msec.}$ である。パルス印加を30分続けた後終了。終了時の素子電流は $I_f=1.5\text{mA}$ であった。

【0169】工程-g

アセトンの導入を停止し、素子を 80°C に加熱しながら真空容器15内を排気する。

【0170】工程-h

マスフローコントローラーを制御して、真空容器15内に水素を導入、水素の分圧は、 $1.3\times 10^{-2}\text{Pa}$ とした。

【0171】工程-i

工程fと同様のパルスを印加する。5分間のパルス印加を続けた後停止、水素を排気した(図4の(d))。パルス印加停止時の素子電流は、 $I_f=1.2\text{mA}$ であった。

【0172】工程-j

真空容器内をイオンポンプにより排気しながら、真空容器をヒーターにより加熱、素子もホルダーに備えたヒーターにより 250°C に加熱。真空容器内の圧力を $1.3\times 10^{-6}\text{Pa}$ まで低下させ、素子に18Vの矩形波パルス、パルス幅 $100\mu\text{sec.}$ 、を印加して特性が安定していることを確認した。

【0173】[比較例2] 実施例2の工程gまでと同様の処理を行う。工程h、iを省略し、工程jの安定化工程を施した。

【0174】[実施例3] 実施例2の工程eまでを行った後、工程f及び工程iにおけるパルス印加を、図6(a)の両極性パルスにより行った。パルス波高値は $V_{ph}=V'_{ph}=18\text{V}$ 、パルス幅 $T1=T'1=1\text{msec.}$ 、パルス間隔 $T2=10\text{msec.}$ である。工程f終了時の素子電流は $I_f=1.8\text{mA}$ 、工程i終了時の素子電流は $I_f=1.4\text{mA}$ であった。

28

【0175】この後、工程jと同様の安定化工程を施した。

【0176】[実施例4] 実施例2の工程dまでと同様の処理を行った後、素子を真空容器15から取り出し、次の工程d'を行った。

【0177】工程-d'

実施例2の工程bで用いたPdアミン錯体溶液を、さらに酢酸ブチルで3倍に希釈した溶液を、スピナーを用いて塗布し、大気中で 300°C 10分間の焼成処理を行う。この後、 N_2 (98%)— H_2 (2%)混合ガスの気流中に素子を60分間放置した。

【0178】この素子を走査電子顕微鏡(SEM)で観察したところ、電子放出部亀裂中に、直径3~7nm程度のPd微粒子が分散しているのが観察された。

【0179】以下実施例2の工程e以下と同様の処理を行った。本実施例では、工程fでの素子電流は $I_f=1.8\text{mA}$ 、工程i終了時の素子電流は $I_f=1.3\text{mA}$ であった。この後、工程jと同様の安定化工程を行った。

【0180】[実施例5] 実施例2の工程dまでと同様の処理を行い、続いて以下の工程を行った。

【0181】工程-e''

真空容器15内にメタンを導入する。排気装置16のメインバルブ(不図示)を絞ってコンダクタンスを下げ、メタンの流入量を調整して真空容器内の圧力を 130Pa にした。

【0182】工程-f''

素子の単極性矩形波パルス(図6(b))を印加する。パルスの波高値は18V、パルス幅1msec.、パルス間隔10msec.で、60分間パルス印加を続けた。パルス印加終了時の素子電流は、 $I_f=1.3\text{mA}$ であった。

【0183】工程-g''

メタンの導入をやめ、真空容器15内を排気した後、水素を導入、圧力を $1.3\times 10^{-2}\text{Pa}$ とした。

【0184】工程-h''

工程f''と同様のパルスを5分間印加する。終了時の素子電流は $I_f=1.1\text{mA}$ であった。

【0185】この後、工程jと同様の安定化工程を施した。

【0186】(電子放出特性評価) 実施例2~5及び比較例2から、それぞれ1素子づつを選び、各々も電子放出特性を、引き続き図7の装置により行った。真空装置内の圧力は、 $2.7\times 10^{-6}\text{Pa}$ 以下を維持し、素子加熱用ヒーターをオフし素子の温度が室温に戻ってから評価を行った。

【0187】素子に印加した電圧は図6(b)に示した単極性矩形波パルスで、波高値は $V_{ph}=18\text{V}$ 、パルス幅 $T1=100\mu\text{sec.}$ 、パルス間隔 $T2=10\text{msec.}$ とした。素子とアノードの距離は $H=4\text{mm}$ 、

電位差は1 kVに設定した。

*す。

【0188】次に各素子の電子放出特性について、評価

【0189】

開始直後及び100時間連続駆動後に測定した値を示 *

【表2】

	パルス印加 終了時	評価開始当初		100時間経過後	
	If(mA)	If(mA)	Ie(μA)	If(mA)	Ie(μA)
実施例2	1.2	1.1	1.2	0.9	0.8
実施例3	1.4	1.3	1.2	1.1	1.0
実施例4	1.3	1.2	1.1	1.0	0.8
実施例5	1.1	1.0	1.5	0.8	1.2
比較例2	1.5	1.2	0.6	0.6	0.2

【0190】(耐放電特性評価) 上記実施例、比較例から、上記電子放出特性評価に用いなかった素子からそれぞれ1素子選び、耐放電特性を測定した。上記と同様の単極性矩形波パルスを素子に印加しながらアノードと素子の間の電位差(アノード電圧Va)を、1 kVから0.5 kV刻みで上昇させた。各アノード電圧で、10※20

※分間駆動し、その間に素子を破損するような放電が起きなければ、そのVaでの駆動に耐えると判定した。実施例、比較例について、つぎのVaまで放電に耐えることを確認した。

【0191】

【表3】

	実施例2	実施例3	実施例4	実施例5	比較例2
最大 Va(kV)	6.5	7.0	6.0	7.0	2.5

【0192】(物性評価)

(SEM) 上記実施例及び比較例の素子の内、上記電子放出特性及び耐放電特性の評価に用いなかったものを基板から切り離して、走査電子顕微鏡(SEM)により観察した。実施例2、4においては、電子放出部亀裂の内部正極側にカーボン膜が見られ、その外側には見られない(図17)。実施例3においても電子放出部亀裂内部にカーボン膜が見られるが、正極側だけでなく負極側にも同様に見られる(図18)。亀裂の外側にはやはりほとんど見られない。

【0193】これに対して、比較例2では、カーボン膜は主に正極側の亀裂内部及びその後方に見られ、負極側にも僅かなが見られる。

【0194】なお、上記実施例及び比較例ではカーボン膜と負極側導電性薄膜の間もしくは両極側のカーボン膜の間の基板に、溝が出来ているのが観察された。

【0195】これは活性化工程で発生したラジカルなどが基板と反応して溝の形成を引き起こしているのではないかと推定される。

【0196】(Raman) 実施例1、比較例1及び上記素子について、Raman分光分析装置により、カーボン膜の結晶性の評価を行った。使用した光源は、波長514.5 nmのArレーザーで、試料表面でのスポット径は約1 μmである。

【0197】電子放出部付近にスポットを置くと、1335 cm⁻¹(P1)と1580 cm⁻¹(P2)付近にピ★50

★ークを持つスペクトルが得られ、炭素膜が形成されていることが分かる。図2はこの測定結果を模式的に示したものである。本実施例・比較例について得られたスペクトラムはすでに述べたように上記2つのピークの他に、1490 cm⁻¹付近にあるもう一つの小さなピークを仮定することで、ピークが分離できた。

【0198】このうちP2ピークはグラファイトの基本構造の骨格をなす結合の電子遷移に由来するものであり、P1ピークは結晶の周期性の乱れに由来するものである。従って、純粋なグラファイトの単結晶であれば、P2ピークのみが観察されるはずであるが、グラファイトが小さな結晶の集合体からなっている場合や、格子欠陥を多く含む場合などには、P1ピークが大きくなる。結晶性がさらに低くなると、P1ピークがさらに大きくなるほか、ピークの幅が増大する。また結晶状態の様々な違いを反映して、ピーク位置のシフトも生じる。

【0199】上記実施例・比較例においては、グラファイトであっても結晶粒径が小さいために、P2ピーク以外のピークも観測されるものと思われる。以下、いずれの実施例・比較例においてもP1ピークの強度が十分大きいので、このピークの半値幅を結晶性の目安として比較することが出来る。

【0200】比較例2の素子では、亀裂付近と、亀裂の後方ではピーク形状に違いがある。電子放出部亀裂に、レーザースポットをあわせた場合、上記P1ピークの半値幅はおおよそ150 cm⁻¹であるが、亀裂から1 μm以

31

上離れた位置ではピーク幅が急激に広がり、約300 cm⁻¹程度の値となる。これより、亀裂付近の方が結晶性が高く、亀裂の後方では結晶性が低くなっていることがわかった。実施例2〜5ではいずれも亀裂付近以外では上記シグナルはほとんど検出されず、亀裂部付近でのP*

32

*1ピークの半値幅の測定値は次に示すとおりいずれも比較例よりも高い結晶性を有することがわかった。

【0201】

【表4】

	実施例1	実施例2	実施例3	実施例4	実施例5	比較例1		比較例2	
						亀裂付近	亀裂後方	亀裂付近	亀裂後方
半値幅 (cm ⁻¹)	120	100	90	105	90	160	300	160	300

【0202】なお、3つのピークの強度から見積もったグラファイト結晶の粒径は、実施例においては、2〜3 nmないしそれ以上であった。

【0203】(TEM) 上記素子について、TEMによりカーボン膜の観察を行った。実施例1〜5いずれにおいても、電子放出部亀裂中のカーボン膜には、格子像が観察され、結晶粒径が2〜3 nmないしそれ以上のグラファイト結晶が主体となっていることが観察され、Raman分光分析の結果と一致することがわかった。図15は亀裂近傍の半分を示すものであるが、亀裂のエッジでグラファイトの格子像が見える状況の模式図である。実施例4では、亀裂中に形成されたPdの微粒子を格子像が取り囲み「カプセル」様の結晶格子が形成されているのが観察された(図25)。図16はこれを模式的に示したものである。一部には内部のPd微粒子が無くなった「カプセル」もあった。一方、比較例2では、亀裂中には上記実施例と同様にカーボン膜に格子像が見られ、グラファイトが形成されていたが、亀裂後方のカーボン膜には部分的にしか格子像が見られず、主に微結晶グラファイト、アモルファスカーボンなどから出来ていることがわかった。

【0204】以上の構成を模式的に示したのが図17〜19で、実施例2及び5では図17の様に、実施例3では図18の様に電子放出部亀裂中にグラファイトの膜が形成されているのに対し、比較例2では、亀裂中には結晶性のやや低いグラファイトの膜、亀裂後方ではアモルファスカーボンなどによる膜が出来ている(図19)。

【0205】放電現象は前述のように、この亀裂後方の膜にイオンや電子が衝突し、膜に残留する水素原子と炭素などからなるガスが発生し、放電の引き金となるものと思われる。一方、実施例では、この部分のカーボン膜が取り除かれ、電子放出部亀裂内部の比較的結晶性の良い部分のみが残るため、ガス発生頻度が小さく、より高いアノード電圧まで耐えるものと思われる。

【0206】[実施例6] 本実施例の表面伝導型電子放出素子の構成は、図24の(a)に示したものと類似している。ただし、本実施例の素子は溝8は形成されておらず、又、一枚の基板上に複数の表面伝導型電子放出素子を配置し、ガラスパネル内に封入してライン状の電子源として構成したものである。以下に製造工程を説明す※50

※る。

【0207】(1) 清浄・乾燥した青板ガラス基板1にホトレジスト(RD-2000N-41; 日立化成社製)により電極を形成するためのマスクパターンを形成し、真空蒸着法により、Tiを5 nm、Ptを30 nm堆積させた。

【0208】(2) レジストパターンを溶剤で溶解し、リフトオフによりPt/Tiの素子電極2, 3を形成する。電極間隔Lは10 μmとした(図4(a))。

【0209】(3) 素子電極を形成した基板に、スパッタリング法によりCr膜を30 nm成膜、フォトリソグラフィ技術により、導電性薄膜形成様の開口パターンを有するCrマスクを形成する。

【0210】(4) Pdアミン錯体溶液(ccp4230; 奥野製薬(株)製)をスピンナーコートした後、大気中300℃で焼成しPdO微粒子膜を形成、CrマスクをウェットエッチングしPdO微粒子膜の不要部分を除去して、導電性薄膜4を形成する(図4(b))。

【0211】(5) 上記の電子源、バックプレート、蛍光体とメタルバックを具備したフェースプレート、支持枠、排気管を組み合わせ、これをフリットガラスを用いて溶着し、電子源パネルを形成する。

【0212】(6) 図20に示すように電子源パネルと排気装置、評価回路を接続する。51は上記のようにして形成されたパネル電子源、52は駆動回路である。53はイオンポンプを主体とする超高真空用の第1の排気装置、54はターボポンプ、ロータリーポンプからなる高真空用の第2の排気装置である。55は四重極質量分析器(Quadrupole mass analyser)で、真空装置内の雰囲気モニターするのに用いる。56は水素ガスの導入量を調整するためのマスフローコントローラーである。

【0213】(7) 第2の排気装置54により電子源パネル51内を排気する、到達圧力は約10⁻⁴ Paであった。

【0214】(8) 駆動回路52により、電子源パネル内の各素子に通電しフォーミングを行い、電子放出部亀裂5を形成する(図4(c))。フォーミングに用いたパルスは、図5(b)に示した、T1=1 msec.、T2=10 msec.で波高値の漸増する三角波であ

る。

【0215】(9) マスフローコントローラー56を適当に調整し、水素を導入水素分圧を 1×10^{-4} Paとなるように調整した。

【0216】(10) 駆動回路52により14 V矩形波パルスを印加、パルス幅1 msec.、パルス間隔10 msec.とした。このとき素子と、アノード電極の役割を兼ねるメタルバックとの間には1 kVの電圧を印加した。Ie、Ifをモニタしながらパルス印加を行い、各素子ごとにIeが $5 \mu\text{A}$ に達したところで、それぞれパルス印加を停止した。

【0217】(11) 水素の導入を停止、電子源パネル51を不図示のヒーターにより加熱しながら、第1の排気装置53により排気。

【0218】(12) 四重極質量分析器55により、雰囲気監視し、有機物質の残留成分が十分減少したことを確認して排気管を加熱して封じ切った。

【0219】[比較例3] 実施例6と同様に上記の(10)までを行う。ただし水素ガスの導入は行わなかった。この後、(12)と同様の操作を施した。

【0220】[実施例7] 本実施例においては、図24の(a)に示す構成の表面伝導型電子放出素子を作成した。まず、実施例6と同様に(5)までを行う。つづいて以下の工程を行う。

【0221】(6) 図20と同様に駆動回路、排気装置と接続する。ただし本実施例では第2の排気装置は用いない。また、有機溶剤(アセトン)の蒸気を導入できる*

*ようにしている。

【0222】ソーブションポンプとイオンポンプからなる排気装置53により排気し、圧力を 10^{-4} Pa程度まで下げる。

【0223】アセトンと水素ガスを導入、両者の分圧をともに 1×10^{-3} Paとする。分圧は、四重極質量分析器55により監視しながら、マスフローコントローラー56とバルブを適当に操作して調節した。

【0224】(7) 実施例6と同様にパルスを印加し、Ieが $5 \mu\text{A}$ に到達したところでパルス印加を停止する。

【0225】(8) アセトン、水素の導入を停止し、電子源パネルを加熱しながら排気する。四重極質量分析器により水素・アセトンの分圧が十分低くなったことを確認して排気管を加熱して封じ切る。

【0226】[比較例4] 実施例7と同様の操作を行う。ただし導入するのはアセトンのみで水素は導入しない。

【0227】(電子放出特性評価) 実施例6、7と比較例3、4の電子源パネルの特性を評価した。14 V矩形波パルスを印加、IeとIfを測定した。このとき素子とメタルバックの間の電圧は1 kVとした。続いて100時間電子放出を続けた後、Ie、Ifを測定した。

【0228】その後、実施例1～5と同じ要領で耐放電特性を調べた。結果は次の通りである。

【0229】

【表5】

電子源	If(mA)	Ie(μA)	100時間後		耐放電特性(kV)
			If(mA)	Ie(μA)	
実施例6	2.4	2.4	2.0	1.5	5.0
比較例3	2.4	2.1	1.8	0.8	2.0
実施例7	2.3	2.3	1.9	1.4	5.5
比較例4	2.3	2.0	1.7	0.8	2.5

【0230】同様の方法でもう一組の素子を作成し、前述と同様にRaman分光分析を行った。結果は次の通りである。

【0231】

【表6】

電子源	半値幅(cm^{-1})	
	亀裂近傍	亀裂後方
実施例6	120	150
比較例3	170	300
実施例7	100	130
比較例4	180	300

50 【0232】[実施例8] 本実施例の構成は、図24の

35

(a)に示したものと基本的に同じである。ただし、一基板上に4素子を並列に作成した。

【0233】工程-a

清浄化した石英ガラス製の基板1上に、素子電極の形状に対応する開口部を有するパターンのホトレジスト(RD-2000N-41;日立化成社製)を形成し、真空蒸着法により、厚さ5nmのTi、厚さ100nmのNiを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜の不要部分をリフトオフにより除去して素子電極2、3を形成した。素子電極間隔 $L=10\mu\text{m}$ 、幅 $W=300\mu\text{m}$ である。

【0234】工程-b

素子電極2、3を形成した基板1に、厚さ50nmのCr膜を真空蒸着法により堆積し、フォトリソグラフィ技術により、導電性薄膜に対応する開口部を有するようにパターニングしてCrマスクを形成する。開口の幅 W' は $100\mu\text{m}$ とした。これにPdアミン錯体溶液(ccp4230;奥野製薬(株)製)をスピンナーを用いて塗布し、大気中 300°C 12分間の加熱焼成処理を行った。これによりPdOの微粒子からなる導電性薄膜4が形成された。こうして形成された膜の厚さは12nmであった。

【0235】工程-c

Cr膜をウェットエッチングによって取り除き、リフトオフにより導電性薄膜4を所望のパターンに形成した。導電性薄膜4の抵抗値は $R_s=1.4\times 10^4\Omega/\square$ であった。

【0236】工程-d

以上の加工を施した基板を、図7に示す評価装置にセットし、真空容器15内を排気装置16(イオンポンプ)により排気して $2.7\times 10^{-6}\text{Pa}$ に達した後、素子電圧 V_f を印加するための電源11により各素子電極2、3の間にパルスを印加し、通電フォーミングを施した。フォーミングに用いた電圧波形は図5(b)に示されるものである。

【0237】本実施例では、 $T1=1\text{msec}$ 、 $T2=10\text{msec}$ とし、三角波の波高値(フォーミング時のピーク電圧)は0.1Vステップで昇圧させフォーミング処理を行った。またフォーミング処理中は、同時に0.1Vの電圧でフォーミングパルスの休止中に抵抗測定用パルスを入射して抵抗の測定を行った。フォーミングの終了は、この測定値が $1\text{M}\Omega$ 以上になった時とし、電圧の印加を終了した。フォーミング終了時のパルス波高値はいずれの素子も約7.0Vであった。

【0238】工程-e

バリアブルリークバルブ17とマスフローコントローラー(不図示)を適当に調節して、アセトン分圧を $1.3\times 10^{-1}\text{Pa}$ 、水素分圧を $1.3\times 10^{-2}\text{Pa}$ とした。アセトン分圧は、差動排気型の四重極質量分析器(不図示)により測定、水素分圧は、真空容器15内の全圧に

36

ほぼ等しいと見なして調節した。

【0239】工程-f

図6(b)に示す、単極性の矩形波パルスを印加した。パルス波高値は $V_{ph}=18\text{V}$ 、パルス幅 $T1=1\text{msec}$ 、パルス間隔 $T2=10\text{msec}$ である。パルス印加を120分続けた後終了。終了時の素子電流は $I_f=1.7\text{mA}$ であった。

【0240】[実施例9] 実施例8と同様の操作を工程dまで行い、工程eで導入するアセトンの分圧を13Paとし、工程fで印加する単極性矩形波パルスの波高値を20Vとした。その他は、実施例8と同様のパルスを印加して処理を行った。素子電流の上昇が実施例8より早かったため、90分でパルス印加を終了した。パルス印加終了時、パルス波高値を18Vに変更して測定した素子電流は、 $I_f=1.9\text{mA}$ であった。

【0241】[実施例10] 実施例8と同様の操作を工程eまで行い、工程fで印加するパルスを図6(a)に示す両極性矩形波パルス、波高値18V、パルス幅1msec、パルス間隔10msecとした。その他は、実施例8と同様の処理を行った。パルス印加終了時の素子電流は、 $I_f=2.1\text{mA}$ であった。この後、実施例2の工程jと同様の安定化工程を施した。

【0242】[実施例11] 実施例8と同様の操作を工程dまで行った後、真空装置から素子を取り出し、以下の操作を行った。

【0243】工程-d'

実施例8の工程bで用いたPdアミン錯体溶液を、さらに酢酸ブチルで3倍に希釈した溶液を、スピンナーを用いて塗布し、大気中で 300°C 10分間の焼成処理を行う。この後、 N_2 (98%)– H_2 (2%)混合ガスの気流中に素子を60分間放置した。

【0244】この素子を走査電子顕微鏡(SEM)で観察したところ、電子放出部亀裂中に、直径3~7nm程度のPd微粒子が分散しているのが観察された。

【0245】以下実施例8の工程e以下と同様の処理を行い、特性を評価した。本実施例では、工程fでの素子電流の増加が早く起こったため、パルス印加を60分で中止した。パルス印加終了時の素子電流は $I_f=1.9\text{mA}$ であった。

【0246】[比較例5] 実施例8の工程dまでと同様な操作を行い、工程eでの水素の導入を省略した。アセトン分圧、印加パルスなど他の条件は実施例8と同様である。 I_f の増加が実施例8より速かったため、30分でパルス印加を停止し、真空容器内を排気した。パルス印加終了時の素子電流は、 $I_f=1.5\text{mA}$ であった。この後、安定化工程を施した。

【0247】(特性評価) 上記実施例8~11及び比較例5について電子放出特性の測定を行った。測定は、活性化工程を終了した後、素子を 80°C に加熱しながら真空容器内をイオンポンプによって排気し、圧力が2.7

37

$\times 10^{-6} \text{ Pa}$ に到達してから、加熱をやめ、素子が室温に戻ったのを確かめてから開始した。

【0248】素子は、図6(b)に示した単極性矩形波パルスにより駆動、パルス波高値は18V、パルス幅 $T_1 = 100 \mu \text{ sec}$ 、パルス間隔 $T_2 = 10 \text{ msec}$ である。素子とアノードの距離は $H = 4 \text{ mm}$ 、電位差は $V_a = 1 \text{ kV}$ とした。

*

38

*【0249】また、耐放電特性も前述の例と同様に測定した。

【0250】測定開始直後、及び100時間経過後の素子電流 I_f 、放出電流 I_e 及び耐放電特性の測定結果を次に示す。

【0251】

【表7】

電子源	評価開始当初		100時間経過後		耐放電特性 (kV)
	$I_f(\text{mA})$	$I_e(\mu\text{A})$	$I_f(\text{mA})$	$I_e(\mu\text{A})$	
実施例8	1.5	1.1	0.9	0.8	5.5
実施例9	1.5	1.2	1.1	0.9	5.5
実施例10	1.8	1.4	1.4	1.1	5.5
実施例11	1.5	1.0	1.0	0.8	6.0
比較例5	1.2	0.8	0.8	0.2	2.5

【0252】(物性評価)

(Raman) 上記実施例8～11及び比較例5の特性評価に用いなかった素子から、それぞれ一素子づつ選び、カーボン膜の結晶性を調べるため、Raman分光分析による評価を行った。光源には波長514.5nmのArレーザーを用いた。試料表面でのレーザースポット径は、約1 μm である。

【0253】電子放出部付近にスポットを置くと、1335 cm^{-1} (P1)と1580 cm^{-1} (P2)付近にピークを持つスペクトルが得られ、炭素膜が形成されていることが分かる。

【0254】いずれの実施例・比較例でもP1ピークの強度が十分大きいので、このピークの半値幅を結晶性の目安として比較することが出来る。

【0255】上記のRaman分光分析装置により、Arレーザーのスポットを素子電極間隙の一方の端から他方の端までスキャンして、P1ピークの半値幅をスポットの位置の関数としてプロットする。図21にその結果を模式的に示す。図は10 μm の電極間隙の中央(目盛の0の位置)に、電子放出部亀裂がある場合を想定しているが、電子放出部亀裂の位置は中央に限るものではない。位置目盛の正の側が電極の正極側である。

【0256】活性化時に両極性パルスを用いた実施例10を除き、負極側にはカーボン膜の量が少なく、シグナルレベルが低い。正極側では十分なレベルのシグナルを検出できた。比較例5では、亀裂付近では、半値幅が比較的狭く150 cm^{-1} であるが、正極側電極に近づくにしたがい徐々に増加し、250 cm^{-1} まで増加した。

【0257】実施例8～11では半値幅の変化は小さく、実施例8では100～130 cm^{-1} 、実施例9では85～120 cm^{-1} 、実施例10では90～130 cm^{-1} ※50

20※ $^{-1}$ 、実施例11では100～130 cm^{-1} の範囲にあった。

【0258】(TEM) Raman分光分析により、実施例の炭素膜は中央付近で結晶性が高くなっていることは、わかった。さらに透過電子顕微鏡(TEM)による観察を行いより詳細な構造を調べた。

【0259】比較例1では、主に電子放出部亀裂から正極側に炭素膜が形成され、負極側では僅かに堆積していた。亀裂内部の炭素膜をみると格子像が観察され、グラファイトが形成されていることが裏付けられた。結晶粒のサイズは2～5nm程度のものが多数であった。一方、亀裂からはずれた部分では、明確な格子像は見られず、アモルファスカーボン等により構成されるものと思われる。

【0260】図22に比較例5の場合の炭素膜のグラファイト化の状況を模式的に示した。炭素膜は亀裂内部がグラファイト、亀裂外はアモルファスカーボンなどにより構成されている。

【0261】実施例8～11では、図23に模式的に示すように、炭素膜のどの部分にも格子像が観察され、全体がグラファイトにより形成されていることがわかった。結晶粒は10nm以上のものが多く含まれていた。図24(a)は実施例8、9の構造の模式図、図24(b)は実施例10の模式図である。

【0262】実施例11の亀裂内部のPd微粒子周辺を観察すると、実施例4の場合と同様に微粒子をとりまいた状態の格子像が観察され、いわゆる「カプセル」様の結晶が成長していることがわかった。図25は実施例11の構成を模式的に示したものである。

【0263】活性化工程で I_f の増大が早くなったのは、亀裂内のPd微粒子が結晶成長の核となって、上記

39

のようなカーボンの結晶が成長したことが原因と思われる。

【0264】なお、いずれの素子も、炭素膜と負極側導電性薄膜の間もしくは両極側の炭素膜の間の基板に、溝8が出来ているのが観察された。

【0265】[実施例12] 本実施例の表面伝導型電子放出素子は、図24の(a)に示したものと基本的に類似の構成を有する。

【0266】工程-a

清浄化した石英ガラス製の基板1上に、素子電極の形状に対応する開口部を有するパターンのホトレジスト(RD-2000N-41; 日立化成社製)を形成し、真空蒸着法により、厚さ100nmのNiを堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni膜の不要部分をリフトオフにより除去して素子電極2, 3を形成した。素子電極間隔 $L=2\mu\text{m}$ 、幅 $W=500\mu\text{m}$ である。

【0267】工程-b

素子電極2, 3を形成した基板1に、厚さ50nmのCr膜を真空蒸着法により堆積し、フォトリソグラフィ技術により、導電性薄膜に対応する開口部を有するようにパターニングしてCrマスクを形成する。開口の幅 W' は300 μm とした。これにPdアミン錯体溶液(ccp4230; 奥野製薬(株)製)をスピンナーを用いて塗布し、大気中300℃10分間の加熱焼成処理を行った。これによりPdOの微粒子からなる導電性薄膜が形成された。こうして形成された膜の微粒子の7nm程度、膜厚も同程度であった。

【0268】工程-c

Cr膜をウェットエッチングによって取り除き、リフトオフにより導電性薄膜4を所望のパターンに形成した。導電性薄膜4の抵抗値は $R_s=5.0\times 10^4\Omega/\square$ であった。

【0269】工程-d

以上の加工を施した基板を、図7に示す評価装置にセットし、真空容器15内を排気装置16により排気して $2.7\times 10^{-6}\text{Pa}$ に達した後、素子電圧 V_f を印加するための電源11により素子電極2, 3の間にパルス印加し、通電フォーミングを施した。フォーミングに用いた電圧波形は図5(b)に示されるものである。

【0270】本実施例では、 $T_1=1\text{msec}$ 、 $T_2=10\text{msec}$ とし、三角波の波高値(フォーミング時のピーク電圧)は0.1Vステップで昇圧させフォーミング処理を行った。またフォーミング処理中は、同時に0.1Vの電圧でフォーミングパルスの休止中に抵抗測定用パルスを挿入して抵抗の測定を行った。フォーミ

40

ングの終了は、この測定値が1M Ω 以上になった時とし、電圧の印加を終了した。フォーミング終了時のパルス波高値は5.0Vであった。

【0271】工程-e

真空容器15内に、アセトンを導入し分圧を $1.3\times 10^{-3}\text{Pa}$ とし、図6(b)に示す矩形波パルスを印加して第1の活性化処理を行った。処理時間は10分間である。パルス波高値は14V、パルス幅 $T_1=100\mu\text{sec}$ 、パルス間隔 $T_2=10\text{msec}$ である。

10 【0272】工程-f

アセトン分圧を $1.3\times 10^{-1}\text{Pa}$ 、水素も導入してその分圧を13Paとした。パルス波高値を8Vから14Vまで3.3mV/sec.で上昇させて第2の活性化処理を施した。処理時間は120分間とした。その後、アセトンと水素の導入を停止し、真空容器内の圧力を $1.3\times 10^{-6}\text{Pa}$ 以下になるように排気した。

【0273】[比較例6] 実施例12の工程fでの活性化処理において、水素を導入しなかった以外は、実施例12と同様の工程を施した。

20 【0274】[実施例13] 本実施例においては、図24の(a)(但し、溝8は存在しない)に示す構成の表面伝導型電子放出素子を作成した。まず、実施例12と同様に工程eまでを行った後、以下の工程fを施した。

【0275】工程-f

メタンと水素を導入、メタン分圧; 6.7Pa、水素分圧130Paとし、実施例12と同様の活性化パルスを印加し第2の活性化処理を行った。処理時間は120分間とした。その後、メタン、アセトンを排気し、真空容器内の圧力を $1.3\times 10^{-6}\text{Pa}$ 以下となるように排気した。

【0276】[実施例14] 本実施例においては、図24の(a)に示す構成の表面伝導型電子放出素子を作成した。実施例13と同様な工程を施した。ただし、工程fにおける第2の活性化処理の際、素子を200℃に加熱して行った。

【0277】(電子放出特性) 実施例12~14及び比較例6の素子は2個ずつ作成した。その内の各1個ずつを使い、電子放出特性の測定を、活性化処理の際と同じパルス電圧を印加して測定した。素子とアノードの距離は $H=4\text{mm}$ 、電位差は $V_a=1\text{kV}$ とした。測定開始直後、1時間後、100時間後の特性は次の通りであった。耐放電特性も前述の場合と同じ要領で行ったので結果をあわせて示す。

【0278】

【表8】

4 1		4 2					
時間	0		1		100		耐放電特性 (kV)
素子	If(mA)	Ie(μA)	If(mA)	Ie(μA)	If(mA)	Ie(μA)	
実施例 12	1.0	0.5	0.7	0.3	0.5	0.2	4.5
比較例 6	3.0	1.4	1.0	0.5	0.7	0.2	2.5
実施例 13	2.0	1.6	1.0	1.3	0.6	0.3	5.0
実施例 14	1.6	1.8	1.5	1.6	1.1	1.2	6.0

【0279】(結晶性評価)電子放出特性評価に使用しなかった方の素子を用い、TEMによって格子像を観察した。実施例12～14では図23と同様の構造が観察されたが、比較例6ではカーボン膜のうち亀裂の外側の部分には一部にしか格子像が見られなかった。この部分は主にアモルファスカーボンなどから構成されているものと推定される。

【0280】前述と同様にRaman分光分析を行った。P1ピークの半値幅は以下の通り。

【0281】

【表9】

素子	半値幅 (cm ⁻¹)	
	亀裂近傍	亀裂後方
実施例12	120	150
比較例6	160	300
実施例13	110	140
実施例14	90	130

【0282】[実施例15]本実施例の構成は図24の(a)に示したものと類似しているが、溝8は存在しない。

【0283】工程-a

清浄化した石英ガラス製の基板1上に、素子電極の形状に対応する開口部を有するパターンのホトレジスト(RD-2000N-41;日立化成社製)を形成し、真空蒸着法により、厚さ5nmのTi、厚さ100nmのNiを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜の不要部分をリフトオフにより除去して素子電極2、3を形成した。素子電極間隔L=10μm、幅W=300μmである。

【0284】工程-b

電子放出部5を形成するための導電性薄膜4を所定の形状にパターニングする。このため、厚さ50nmのCr膜を真空蒸着法により堆積し、上記素子電極2、3と電極間隙の一部を露出する開口を有するようにパターニン

*グする。開口の幅W'は100μmとした。その上にPdアミン錯体溶液(ccp4230;奥野製薬(株)製)をスピンナーを用いて塗布し、大気中300℃10分間の加熱焼成処理を行った。これによりPdOの微粒子からなる導電性薄膜4が形成された。こうして形成された膜の厚さは12nmであった。

【0285】工程-c

Cr膜をウェットエッチングによって取り除き、導電性薄膜4を所望のパターンに形成した。導電性薄膜4の抵抗値はR_s=1.4×10⁴Ω/□であった。

【0286】工程-d

以上の加工を施した基板を、図7に示す評価装置にセットし、真空容器15内を排気装置16(ソープションポンプとイオンポンプ)により排気して2.7×10⁻⁶Paに達した後、素子電圧V_fを印加するための電源11により各素子電極2、3の間にパルス印加し、通電フォーミングを施した。フォーミングに用いた電圧波形は図5(b)に示されるものである。

【0287】本実施例では、T1=1msec、T2=10msecとし、三角波の波高値(フォーミング時のピーク電圧)は0.1Vステップで昇圧させフォーミング処理を行った。またフォーミング処理中は、同時に0.1Vの電圧でフォーミングパルスの休止中に抵抗測定用パルスを挿入して抵抗の測定を行った。フォーミングの終了は、この測定値が1MΩ以上になった時とし、電圧の印加を終了した。フォーミング終了時のパルス波高値はいずれの素子も約7.0Vであった。

【0288】工程-e

バリアブルリークバルブ17を調整して、アセトンを真空容器15内に導入する。アセトンの分圧は1.3×10⁻¹Paとした。

【0289】工程-f

図6(b)に示した矩形波パルスを印加する。V_{ph}=18V、T1=100μsec、T2=10msecとした。10分間経過したところでパルス印加を停止し、アセトン導入を中止し、真空容器内を排気する。

【0290】工程-g

マスフローコントローラー(不図示)を調整して、真空容器15内をメタン分圧130Pa、水分分圧1.3P

43

aとする。再び、同様のパルスを印加する。120分間継続した後停止する。パルス印加停止時の素子電流は、 $I_f = 2.5 \text{ mA}$ であった。この後真空容器内を排気し、 $2.7 \times 10^{-6} \text{ Pa}$ 以下の圧力とする。

【0291】この後、実施例2の工程jと同様の安定化工程を施した。

【0292】[実施例16]本実施例においては、図24の(a)(但し、溝8は存在しない)に示す表面伝導型電子放出素子を作成した。まず、実施例15の工程fまでと同様な操作を行い、工程gで素子を200℃に加

熱しながら同様の処理を行う。パルス印加停止時の素子*

時間	0		100		耐放電特性 (kV)
	$I_f(\text{mA})$	$I_e(\mu\text{A})$	$I_f(\text{mA})$	$I_e(\mu\text{A})$	
実施例15	1.4	1.4	1.2	1.0	6.0
実施例16	1.2	2.0	0.9	1.5	6.5

【0296】(結晶性評価)上記評価に使用しなかった素子につき、TEMで電子放出部を観察したところ図23と同様の構成が見られた。

【0297】レーザーラマン分光分析装置により観察すると、前述の場合と同様2つのピークが観測された。P1ピークの半値幅は次に示すとおりである。亀裂付近、外側ともグラファイトと思われるが、亀裂付近の方がより結晶性が高くなっている。

【0298】

【表11】

素子	半値幅 (cm^{-1})	
	亀裂近傍	亀裂外側
実施例15	80	120
実施例16	70	100

【0299】[実施例17]本実施例の表面伝導型電子放出素子の構成は図24の(b)に示したものと類似しているが、溝8は存在しない。

【0300】工程-a

清浄化した青板ガラス上に0.5 μm の酸化シリコン膜をスパッタリング法により形成した基板1上に、素子電極の形状に対応する開口部を有するパターンのホトレジスト(RD-2000N-41;日立化成社製)を形成し、真空蒸着法により、厚さ5nmのTi、厚さ100nmのNiを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜の不要部分をリフトオフにより除去して、素子電極2、3を形成した。素子電極間隔 $L = 3 \mu\text{m}$ 、幅 $W = 300 \mu\text{m}$ である。

【0301】工程-b

電子放出部5を形成するための導電性薄膜4を所定の形※50

44

*電流は、 $I_f = 2.2 \text{ mA}$ であった。

【0293】この後、安定化工程を施した。

【0294】(電子放出特性評価)活性化に用いたと同様のパルス電圧を印加し、 I_e 、 I_f を測定した。素子とアノードの間隔は4mm、電位差は1kVに設定した。電子放出を100時間継続した後の値も同様に測定した。また、前述と同様な要領で耐放電特性もはかった。

【0295】

【表10】

※状にパターニングする。このため、厚さ50nmのCr膜を真空蒸着法により堆積し、上記素子電極2、3と電極間隙の一部を露出する開口を有するようにパターニングする。開口の幅 W' は100 μm とした。その上にPdアミン錯体溶液(ccp4230;奥野製薬(株)製)をスピンナーを用いて塗布し、大気中300℃10分間の加熱焼成処理を行った。これによりPdOの微粒子からなる導電性薄膜4が形成された。こうして形成された膜の厚さは10nmであった。

【0302】工程-c

Cr膜をウェットエッチングによって取り除き、導電性薄膜4を所望のパターンに形成した。導電性薄膜4の抵抗値は $R_s = 2.0 \times 10^4 \Omega/\square$ であった。

【0303】工程-d

以上の加工を施した基板を、図7に示す評価装置にセットし、真空容器15内を排気装置16(ソーブションポンプとイオンポンプ)により排気して $2.7 \times 10^{-6} \text{ Pa}$ に達した後、素子電圧 V_f を印加するための電源11により各素子電極2、3の間にパルスを印加し、通電フォーミングを施した。フォーミングに用いた電圧波形は図5(b)に示されるものである。

【0304】本実施例では、 $T_1 = 1 \text{ msec}$ 、 $T_2 = 10 \text{ msec}$ とし、三角波の波高値(フォーミング時のピーク電圧)は0.1Vステップで昇圧させフォーミング処理を行った。またフォーミング処理中は、同時に0.1Vの電圧でフォーミングパルスの休止中に抵抗測定用パルスを挿入して抵抗の測定を行った。フォーミングの終了は、この測定値が1M Ω 以上になった時とし、電圧の印加を終了した。フォーミング終了時のパルス波高値はいずれの素子も5.0~5.1Vであった。

【0305】工程-e

不図示のヒーターにより素子を400℃に加熱、真空容

45

器内部を一旦 1.3×10^{-4} Paまで排気し、パルスを印加しながらメタンと水素を交互に導入して活性化処理を行った。メタンと水素の圧力はともに、 1.3 Paとなるように調整した。導入ガスの交代の時間間隔は、 20 秒とした。処理時間 30 分で厚さ約 50 nmのグラファイト膜が形成された。

【0306】〔実施例18〕本実施例の表面伝導型電子放出素子の構成は図24の(b)に示したものと類似しているが、但し、溝8は存在しない。

【0307】工程-a

清浄化した青板ガラスに厚さ $0.5 \mu\text{m}$ の酸化シリコン膜をスパッタリング法により形成した基板1上に、素子電極の形状に対応する開口部を有するパターンのホトレジスト(RD-2000N-41; 日立化成社製)を形成し、真空蒸着法により、厚さ 5 nmのTi、厚さ 100 nmのNiを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜の不要部分をリフトオフにより除去して、素子電極2, 3を形成した。素子電極間隔 $L=3 \mu\text{m}$ 、幅 $W=300 \mu\text{m}$ である。

【0308】工程-b

電子放出部5を形成するための導電性薄膜4を所定の形状にパターンニングする。このため、厚さ 50 nmのCr膜を真空蒸着法により堆積し、上記素子電極2, 3と電極間隙の一部を露出する開口を有するようにパターンニングする。開口の幅 W' は $100 \mu\text{m}$ とした。その上にPdアミン錯体溶液(ccp4230; 奥野製薬(株)製)をスピンナーを用いて塗布し、大気中 300°C 10 分間の加熱焼成処理を行った。これによりPdOの微粒子からなる導電性薄膜4が形成された。こうして形成された膜の厚さは 10 nmであった。

【0309】工程-c

Cr膜をウェットエッチングによって取り除き、導電性薄膜4を所望のパターンに形成した。導電性薄膜4の抵抗値は $R_s=2.0 \times 10^4 \Omega/\square$ であった。

【0310】工程-d

以上の加工を施した基板を、図7に示す評価装置にセットし、真空容器15内を排気装置16(ソーブションポンプとイオンポンプ)により排気して 2.7×10^{-6} Paに達した後、素子電圧 V_f を印加するための電源11により各素子電極2, 3の間にパルスを印加し、通電 $F \times 40$

46

*オーミングを施した。フォーミングに用いた電圧波形は図5(b)に示されるものである。

【0311】本実施例では、 $T1=1\text{msec}$ 、 $T2=10\text{msec}$ とし、三角波の波高値(フォーミング時のピーク電圧)は 0.1V ステップで昇圧させフォーミング処理を行った。またフォーミング処理中は、同時に 0.1V の電圧でフォーミングパルスの休止中に抵抗測定用パルスを挿入して抵抗の測定を行った。フォーミングの終了は、この測定値が $1\text{M}\Omega$ 以上になった時とし、電圧の印加を終了した。フォーミング終了時のパルス波高値はいずれの素子も $5.0 \sim 5.3\text{V}$ であった。

【0312】工程-e

真空容器内部を一旦 1.3×10^{-4} Paまで排気し、パルスを印加しながらエチレンと水素を交互に導入して活性化処理を行った。エチレンの圧力は 0.13Pa 、水素の圧力は 13Pa となるように調整した。導入ガスの交代の時間間隔は、 20 秒とした。処理時間 13 分で厚さ約 30 nmのグラファイト膜が形成された。

【0313】〔実施例19〕本実施例においても、図24の(b)(但し、溝8は存在しない)に示す表面伝導型電子放出素子を作成した。まず、実施例18と同様に工程dまで行い、ついで以下の工程eを行った。

【0314】工程-e

真空容器内部を一旦 1.3×10^{-4} Paまで排気し、パルスを印加しながら水素を導入、この工程中、水素は雰囲気空气中に常時存在し、分圧は 13Pa となるよう導入量を調整した。同時に、エチレンを間欠的に導入、分圧は 0.13Pa となるように調整した。エチレン導入のオン-オフ切り替えのタイミングは 20 秒間隔とした。処理時間 30 分で厚さ約 50 nmのグラファイト膜が形成された。

【0315】(電子放出特性評価) 真空容器内の圧力を 1.3×10^{-4} Paまで下げ、 14V の矩形波パルスを印加して、 I_e 、 I_f を測定した。素子とアノードの間隔は 4mm 、電位差は 1kV に設定した。電子放出を 100 時間継続した後の値も同様に測定した。また、前述と同様な要領で耐放電特性もはかった。

【0316】

【表12】

時間	0		100		耐放電特性 (kV)
	$I_f(\text{nA})$	$I_e(\mu\text{A})$	$I_f(\text{nA})$	$I_e(\mu\text{A})$	
実施例17	1.5	1.6	1.2	1.2	6.5
実施例18	1.0	2.0	0.8	1.5	6.0
実施例19	1.0	2.2	0.8	1.7	6.5

【0317】(結晶性評価) 実施例15, 16と同様に※50※レーザーラマン分光分析装置による測定を行った。結果

は次の通りである。

【0318】

【表13】

素子	半値幅 (cm ⁻¹)	
	亀裂近傍	亀裂外部
実施例17	50	80
実施例18	60	95
実施例19	50	85

【0319】〔実施例20、比較例7〕本実施例の表面伝導型電子放出素子の構成は図26に示したものと類似しているが、溝8は存在しない。

【0320】工程-a

清浄化した青板ガラスに厚さ0.5μmの酸化シリコン膜をスパッタリング法により形成した基板1上に、素子電極の形状に対応する開口部を有するパターンのホトレジスト(RD-2000N-41; 日立化成社製)を形成し、真空蒸着法により、厚さ5nmのTi、厚さ100nmのNiを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜の不要部分をリフトオフにより除去して、素子電極2、3を形成した。素子電極間隔L=10μm、幅W=300μmである。

【0321】工程-b

電子放出部5を形成するための導電性薄膜4を所定の形状にパターニングする。このため、厚さ50nmのCr膜を真空蒸着法により堆積し、上記素子電極2、3と電極間隙の一部を露出する開口を有するようにパターニングする。開口の幅W'は100μmとした。その上にPdアミン錯体溶液(ccp4230; 奥野製薬(株)製)をスピナーを用いて塗布し、大気中300℃10分間の加熱焼成処理を行った。これによりPdOの微粒子からなる導電性薄膜4が形成された。こうして形成された膜の厚さは12nmであった。

【0322】工程-c

Cr膜をウェットエッチングによって取り除き、導電性薄膜4を所望のパターンに形成した。導電性薄膜4の抵抗値は $R_s = 1.5 \times 10^4 \Omega/\square$ であった。

【0323】工程-d

以上の加工を施した基板を、図7に示す評価装置にセットし、真空容器15内を排気装置16(ターボポンプとロータリーポンプからなる)により排気して $2.7 \times 10^{-3} \text{Pa}$ に達した後、素子電圧 V_f を印加するための電源11により各素子電極2、3の間にパルス印加し、通電フォーミングを施した。フォーミングに用いた電圧波形は図5(b)に示されるものである。

【0324】本実施例では、 $T_1 = 1 \text{msec}$ 、 $T_2 = 10 \text{msec}$ とし、三角波の波高値(フォーミング

時のピーク電圧)は0.1Vステップで昇圧させフォーミング処理を行った。またフォーミング処理中は、同時に0.1Vの電圧でフォーミングパルスの休止中に抵抗測定用パルス挿入して抵抗の測定を行った。フォーミングの終了は、この測定値が1MΩ以上になった時とし、電圧の印加を終了した。フォーミング終了時のパルス波高値はいずれの素子も約7.0Vであった。

【0325】工程-e

以下、一方の素子をA、他方をBと呼ぶ。素子A(実施例20)には図6(a)に示す両極性の矩形波パルスを印加して活性化を施した。パルス波高値は±18V、パルス幅 $T_1 = 100 \mu\text{sec}$ 、パルス間隔 $T_2 = 10 \text{msec}$ とした。

【0326】素子B(比較例7)は図6(b)の単極性矩形波パルス $V_{ph} = 18 \text{V}$ 、 $T_1 = 100 \mu\text{sec}$ 、 $T_2 = 10 \text{msec}$ とした。素子とアノード電極の距離は4mm、電位差は1kVとして、If、Ieを測定しながら活性化処理を行った。この時点で、真空容器内の圧力は、 $2.0 \times 10^{-3} \text{Pa}$ であった。Ieは、約30分で飽和したので、活性化処理を終了した。

【0327】(電子放出特性評価)排気装置をイオンポンプに切り替え、素子と真空容器を加熱しながら排気して、真空容器内の圧力を $1.3 \times 10^{-4} \text{Pa}$ まで下げ、18Vの矩形波パルスを印加して、Ie、Ifを測定した。この条件で100時間電子放出を続けた後、再度測定し、特性の変化を調べた。

【0328】

【表14】

時間	0		100	
	If(mA)	Ie(μA)	If(mA)	Ie(μA)
実施例20	1.0	0.9	0.7	0.5
比較例7	1.2	0.6	0.6	0.2

【0329】(結晶性評価)レーザーラマン分光分析装置による測定を行い、P1ピークの半値幅を亀裂付近及び外側において求めた。結果は次の通りである。

【0330】

【表15】

素子	半値幅 (cm ⁻¹)	
	亀裂近傍	亀裂外側
実施例20	120	300
比較例7	160	300

【0331】亀裂近傍では実施例の方が比較例よりグラファイト膜の結晶性が高いことがわかる。原因は、亀裂の両側からグラファイトが成長するため、グラファイト

の成長している場所でより強い電界がかかることが関係しているのではないかと推測している。

【0332】[実施例21]

工程-a

清浄化した石英ガラス製の基板1上に、素子電極の形状に対応する開口部を有するパターンのホトレジスト(RD-2000N-41;日立化成社製)を形成し、真空蒸着法により、厚さ5nmのTi、厚さ100nmのNiを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜の不要部分をリフトオフにより除去して、素子電極2, 3を形成した。素子電極の間隔 $L=10\mu\text{m}$ 、幅 $W=300\mu\text{m}$ である。

【0333】工程-b

厚さ50nmのCr膜を真空蒸着法により堆積し、上記素子電極2, 3と電極間隙の一部を露出する開口を有するようにパターニングする。開口の幅、すなわち形成されるべき導電性薄膜の幅 W' は $100\mu\text{m}$ とした。その上にPdアミン錯体溶液(ccp4230; 奥野製薬(株)製)をスピンナーを用いて塗布し、大気中300℃10分間の加熱焼成処理を行った。これによりPdOの微粒子からなる導電性薄膜4が形成された。こうして形成された膜の厚さは12nmであった。

【0334】工程-c

Cr膜をウェットエッチングによって取り除き、導電性薄膜4を所望のパターンに形成した。導電性薄膜4の抵抗値は $R_s=1.5\times 10^4\ \Omega/\square$ であった。

【0335】工程-d

以上の加工を施した基板を、図7に示す評価装置にセットし、真空容器15内を排気装置16(イオンポンプ)により排気して $2.7\times 10^{-6}\text{Pa}$ に達した後、素子電圧 V_f を印加するための電源11により各素子電極2, 3の間にパルス印加し、通電フォーミングを施した。フォーミングに用いた電圧波形は図5(b)に示されるものである。

【0336】本実施例では、 $T1=1\text{msec}$ 、 $T2=10\text{msec}$ とし、三角波の波高値(フォーミング時のピーク電圧)は0.1Vステップでアップさせフォーミング処理を行った。またフォーミング処理中は、同時に0.1Vの電圧でフォーミングパルスの休止中に抵抗測定用パルス挿入して抵抗の測定を行った。フォーミングの終了は、この測定値が $1\text{M}\Omega$ 以上になった時とし、電圧の印加を終了した。フォーミング終了時のパルス波高値はいずれの素子も約7.0Vであった。

【0337】工程-e

バリアブルリークバルブ17を開き液溜18からアセトンを導入する。四重極質量分析器(不図示)により真空容器15内部のアセトン分圧を監視し、分圧が $1.3\times 10^{-1}\text{Pa}$ となるようにバルブを調整した。

【0338】工程-f

図6(a)に示す両極性の矩形波パルスを印加した。パルス波高値は $V_{ph}=V'_{ph}=18\text{V}$ 、パルス幅 $T1=T1'=1\text{msec}$ 、パルス間隔 $T2=10\text{msec}$ である。パルス印加を30分続けた後終了。終了時の素子電流は $I_f=1.8\text{mA}$ であった。

【0339】工程-g

アセトンの導入を停止し、素子を250℃に加熱しながら真空容器内のアセトン排気する。このとき真空容器自体もヒーターにより加熱した。

【0340】[実施例22]

アセトンの分圧を 13Pa 、両極性のパルスのパルス波高値を20Vとした以外は、実施例21と同様の処理を行った。 I_f の増加が実施例21に比べ速かったので、15分でパルスの印加を停止し、素子を250℃に加熱しながらアセトン排気した。このとき真空容器自体も加熱した。パルス印加終了時の素子電流は、 $I_f=2.1\text{mA}$ であった。

【0341】[比較例8] アセトンの分圧は実施例21と同じく $1.3\times 10^{-1}\text{Pa}$ 、活性化パルスは図6

(b)に示す単極性矩形波パルスで波高値は $V_{ph}=18\text{V}$ である。他の処理は実施例21と同様で、パルス印加終了時の素子電流は $I_f=1.5\text{mA}$ であった。

【0342】[比較例9] アセトンの分圧は実施例21と同じく $1.3\times 10^{-1}\text{Pa}$ 、両極性パルスの波高値は $V_{ph}=6.0\text{V}$ とした。他の処理は実施例21と同様で、パルス印加終了時の素子電流は $I_f=3.0\text{mA}$ であった。この後、安定化工程を施した。

【0343】(特性評価) 以上各実施例及び比較例からそれぞれ1素子を選び、各々の電子放出特性を、引き続き図7の装置で行った。真空容器15内の圧力は $2.7\times 10^{-6}\text{Pa}$ 以下を維持し、素子加熱用ヒーターと真空容器加熱用ヒーターをオフし、素子の温度が室温に戻ってから評価した。

【0344】素子に印加した電圧は図6(b)に示した単極性矩形波パルスで、波高値は18V、パルス幅 $T1=100\mu\text{sec}$ 、パルス間隔 $T2=10\text{msec}$ とした。素子とアノードの距離は $H=4\text{mm}$ 、電位差は $V_a=1\text{kV}$ とした。

【0345】次に、各素子の電子放出特性について、評価開始直後及び100時間連続駆動後に測定した値を示す。ただし比較例9は活性化パルスの印加終了後、排気して評価開始した時点で、 I_f が大きく減少し、 I_e も他の素子と比較して極端に小さかったので、それ以降の評価を中止した。

【0346】

【表16】

51

52

	パルス印加 終了時	評価開始当初		100時間経過後	
	If(mA)	If(mA)	Ie(μA)	If(mA)	Ie(μA)
実施例21	1.8	1.0	1.2	0.7	0.7
実施例22	2.1	1.2	1.5	1.0	1.1
比較例8	1.5	1.2	0.6	0.6	0.2
比較例9	3.0	0.3	0.1	—	—

【0347】(物性評価)

(Raman) 上記各実施例・比較例の素子で上記特性評価に用いなかった素子の中から、それぞれ一素子づつ選び、カーボン膜の結晶性を調べるため、前述の場合と同じ要領でRaman分光分析による評価を行った。光源には波長514.5nmのArレーザーを用いた。試料表面でのレーザースポット径は、約1μmである。

【0348】上記Raman分光分析装置により、Arレーザーのスポットを素子電極間隙の一方の端から他方の端までをスキャンして、P1ピークの半値幅をスポットの位置の関数としてプロットする。このとき、実施例21、22では、図21のように中央付近で半値幅の減少が観測された。比較例8は、電極間隙の負極側では炭素膜が僅かしか形成されていないためシグナルのレベルが低い、正極側では実施例と同様に測定され、中央付近で半値幅が減少する様子が見られる。結果は医科の通りである。なお、実施例21、比較例8において、P1ピークの幅が狭くなっている範囲は、亀裂から1μm程度、実施例21では2μm程度であった。

【0349】

【表17】

素子	半値幅 (cm ⁻¹)	
	亀裂近傍	亀裂外側
実施例21	110	300
実施例22	90	300
比較例8	160	300
比較例9	280	300

【0350】(TEM) Raman分光分析により、実施例の炭素膜は中央付近で結晶性が高くなっていることがわかったので、炭素膜の構造についてさらに詳細な情報を得るため、透過電子顕微鏡(TEM)による観察を行った。

【0351】実施例21、22では、電子放出部亀裂を中心として、両側に炭素膜が形成されているが、亀裂内部の炭素膜をみると導電性薄膜の端部に沿って、格子像が観察され、グラファイトが形成されていることが分か

10* った。結晶粒の大きさは数nm程度であった。一方、亀裂からはずれた部分では、格子像はほとんど見られず、不定形炭素などによって構成されているものと思われる。

【0352】図26に実施例21の場合の炭素膜のグラファイト化の状況を模式的に示した。電子放出部亀裂5の内部がグラファイト6、導電性薄膜上の炭素膜が不定形炭素などにより構成されている。なお図ではグラファイト膜同士の間隙は亀裂の中央にあるが、これは構造を模式的に示したもので、実際の素子では亀裂の端に近い場所に出来る場合もある。

【0353】実施例22では、亀裂の外側の導電性薄膜上でも一部に格子像の観察される部分があり、グラファイト化が広い範囲で進んでいることが分かった。

【0354】比較例8では、負極側の炭素膜は正極側に比べて少ないが、正極側では、亀裂内の炭素膜に実施例21と同様に格子像が観察された。比較例9では、全く格子像の見られる部分はなく、炭素膜全体が不定形炭素などで構成されていることがわかった。

【0355】また、いずれの素子においても、両極の炭素膜の間(比較例9では、炭素膜と負極の間)で、基板に溝8が出来ているのが観測されたが、実施例22では他の例と比べ溝が深く形成されていることが観測された。これは、この部分での電界が他に比べて大きいこと、素子電流と電子放出量が大きいことにより、ラジカルと基板の反応が促進された結果ではないかと推測する。実施例21と22を比較してみると、 $\eta = I_e / I_f$ が実施例22の方が大きくなっており、この原因の一つが、溝の形成により、電子放出部を挟む導電性薄膜の両極の間でのリーク電流の経路が切断されることにあるのではないかと推定される。従って、このような構造は、電子放出効率の向上に効果があるものと考えられ

【0356】[実施例23] 本実施例は、多数の図17に示す表面伝導型電子放出素子を単純マトリクス配置した電子源の例である。

【0357】電子源の一部の平面図を図27に示す。また、図中のA-A'断面図を図28に示す。

【0358】ここで1は基板、22はX方向配線(下配線とも呼ぶ)、23はY方向配線(上配線とも呼ぶ)、2、3は素子電極、4は電子放出部を含む薄膜、61は

53

層間絶縁層、62は素子電極2と下配線22の電氣的接続のためのコンタクトホールである。

【0359】次に、製造方法を図29及び図30を使って工程順に従って具体的に説明する。尚、各工程A～Hは図29の(a)～(d)及び図30の(e)～(h)に対応する。

【0360】(工程A) 清浄化した青板ガラス上に厚さ0.5 μ mのシリコン酸化膜をスパッタ法で形成した基板1上に、真空蒸着法により、厚さ5nmのCr、厚さ600nmのAuを順次積層した後、ホトレジスト(AZ1370・ヘキスト社製)をスピナーにより回転塗布し、ベークした後、ホトマスク像を露光、現像して、下配線22のレジストパターンを形成し、Au/Cr堆積膜をウェットエッチングして、所望の形状の下配線22を形成した。

【0361】(工程B) 次に厚さ1.0 μ mのシリコン酸化膜からなる、層間絶縁層61をRFスパッタ法により堆積した。

【0362】(工程C) 工程Bで堆積したシリコン酸化膜にコンタクトホール62を形成するためのホトレジストパターンを作り、これをマスクとして層間絶縁層61をエッチングしてコンタクトホール62を形成した。エッチングはCF₄とH₂ガスをを用いたRIE(Reactive Ion Etching)法によった。

【0363】(工程D) その後、素子電極2と素子電極間ギャップGとなるべきパターンをホトレジスト(RD-2000N-41・日立化成社製)で形成し、真空蒸着法により、厚さ5nmのTi、厚さ100nmのNiを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフし、素子電極間隔3 μ m、幅300 μ mの素子電極2、3を形成した。

【0364】(工程E) 素子電極2、3の上に上配線23のホトレジストパターンを形成した後、厚さ5nmのTi、厚さ500nmのAuを順次真空蒸着により堆積し、リフトオフにより不要の部分を除去して、所望の形状の上配線23を形成した。

【0365】(工程F) 次に、膜厚30nmのCr膜63を真空蒸着により堆積、導電性薄膜4の形状の開口部を有するようにパターニングし、その上にPdアミン錯体溶液(ccp4230・奥野製薬(株)製)をスピナーにより回転塗布、300℃12分間の加熱焼成処理を施してPdO微粒子よりなる導電性薄膜4を形成した。この膜の膜厚は70nmであった。

【0366】(工程G) Cr膜63をエッチャントを用いてウェットエッチングしてPdO微粒子よりなる導電性薄膜4の不要部分とともに除去し、所望の形状の導電性薄膜4を形成した。抵抗値はR_s=4 \times 10⁴ Ω /□程度であった。

【0367】(工程H) コンタクトホール62部分以外にレジストパターンを形成し、真空蒸着により厚さ5n

54

mのTi、厚さ500nmのAuを順次堆積した。リフトオフにより不要な部分を除去することにより、コンタクトホールを埋め込んだ。

【0368】この様にして作成した電子源を用いて画像形成装置を構成した例を、図10及び図11を用いて説明する。

【0369】電子源基板21をリアプレート31上に固定した後、基板21の5mm上方に、フェースプレート36(ガラス基板33の内面に蛍光膜34とメタルバック35が形成されて構成される)を支持棒32を介して配置し、フェースプレート36、支持棒32、リアプレート31の接合部にフリットガラスを塗布し、大気中あるいは窒素雰囲気中で400℃ないし500℃で10分以上焼成することによって封着した。またリアプレート31への基板21の固定もフリットガラスで行った。図10において、24は電子放出素子、22、23はそれぞれX方向及びY方向の素子配線である。

【0370】蛍光膜34は、モノクロームの場合は蛍光体のみからなるが、本実施例では蛍光体はストライプ形状を採用し、先にブラックストライプを形成し、その間隙部に各色蛍光体を塗布し、蛍光膜34を作製した。ブラックストライプの材料として通常よく用いられている黒鉛を主成分とする材料を用いた。ガラス基板33に蛍光体を塗布する方法はスラリー法を用いた。

【0371】また、蛍光膜34の内面側には通常メタルバック35が設けられる。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理(通常フィルミングと呼ばれる)を行い、その後、A1を真空蒸着することによって作製した。

【0372】フェースプレート36には、更に蛍光膜34の導電性を高めるため、蛍光膜34の外側面に透明電極(不図示)が設けられる場合もあるが、本実施例では、メタルバックのみで十分な導電性が得られたので省略した。

【0373】前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させなくてはならないため、十分な位置合わせを行った。

【0374】以上のようにして完成したガラス容器内の雰囲気を排気管(図示せず)を通じ真空ポンプにて10⁻⁴Pa程度の真空度まで排気し、図31に示すように、Y方向配線を共通結線して1ライン毎にフォーミング処理を行う。図中64はY方向配線23を共通結線した共通電極、65は電源、66は電流測定用抵抗、67は電流をモニタするためのオシロスコープである。

【0375】続いて、パネル内の圧力を2.7 \times 10⁻³Paとなるように調節し、I_e、I_fを測定しながらパルスを加えて活性化処理を行った。

【0376】続いて、パネル内を再度排気し圧力を1.3 \times 10⁻⁴Paとした後、水素ガスを導入し同様にパルスを印加する。

55

【0377】この後、排気装置をイオンポンプに切り替えて、パネル全体をヒーターにより加熱しながら、パネル内を排気し圧力を 4.2×10^{-5} Paまで下げた。

【0378】この後、マトリクス駆動により表示機能が正常に働き、特性が安定していることを確認してから、不図示の排気管をガスバーナーで熱することで溶着し真空容器を封じきった。

【0379】最後に封止後の真空度を維持するために、高周波加熱法でゲッター処理を行った。

【0380】以上のように完成した本発明の画像形成装置において、各電子放出素子には、容器外端子Dox1ないしDoxm, Doy1ないしDoy nを通じ、走査信号及び変調信号を不図示の信号発生手段よりそれぞれ、印加することにより、電子放出させ、高圧端子Hvを通じ、メタルバック35あるいは透明電極(不図示)に5.0kVの高圧を印加し、電子ビームを加速し、蛍光膜34に衝突させ、励起・発光させることで画像を表示した。

【0381】なお、実施例23では、実施例1の表面伝導型電子放出素子に対応する複数の電子放出素子を用いて電子源を構成したが、本発明の電子源及び画像形成装置はこれに限定されるものではない。実施例1~22のいずれに対応する電子放出素子を用いても電子源を構成し、さらにそれを用いて実施例23に対応する画像形成装置を構成することが可能である。

【0382】図32は、実施例23の画像形成装置(ディスプレイパネル)に、例えばテレビジョン放送をはじめとする種々の画像情報源より提供される画像情報を表示できるように構成した表示装置の一例を示すための図である。図中70はディスプレイパネル、71はディスプレイパネルの駆動回路、72はディスプレイコントローラ、73はマルチプレクサ、74はデコーダ、75は入出力インターフェース回路、76はCPU、77は画像生成回路、78及び79及び80は画像メモリーインターフェース回路、81は画像入力インターフェース回路、82及び83はTV信号受信回路、84は入力部である。

【0383】尚、本表示装置は、例えばテレビジョン信号のように映像情報と音声情報の両方を含む信号を受信する場合には、当然映像の表示と同時に音声を再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶等に関する回路やスピーカー等については説明を省略する。

【0384】以下、画像信号の流れに沿って各部の機能を説明する。

【0385】まず、TV信号受信回路83は、例えば電波や空間光通信等のような無線伝送系を用いて伝送されるTV信号を受信するための回路である。

【0386】受信するTV信号の方式は特に限られるものではなく、例えばNTSC方式、PAL方式、SEC 50

56

AM方式等、いずれの方式でもよい。また、これらより更に多数の走査線よりなるTV信号、例えばMUSE方式を初めとする所謂高品位TVは、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。TV信号受信回路83で受信されたTV信号は、デコーダ74に出力される。

【0387】TV信号受信回路82は、例えば同軸ケーブルや光ファイバー等のような有線伝送系を用いて伝送されるTV信号を受信するための回路である。前記TV信号受信回路83と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ74に出力される。

【0388】画像入力インターフェース回路81は、例えばTVカメラや画像読み取りスキャナーなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ74に出力される。

【0389】画像メモリーインターフェース回路80は、ビデオテープレコーダー(以下VTRと略す)に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ74に出力される。

【0390】画像メモリーインターフェース回路79は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ74に出力される。

【0391】画像メモリーインターフェース回路78は、静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ74に出力される。

【0392】入出力インターフェース回路75は、本表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンターなどの出力装置とを接続するための回路である。画像データや文字・図形情報の入出力を行うのは勿論のこと、場合によっては本表示装置の備えるCPU76と外部との間で制御信号や数値データの入出力などを行うことも可能である。

【0393】画像生成回路77は、前記入出力インターフェース回路75を介して外部から入力される画像データや文字・図形情報や、あるいはCPU76より出力される画像データや文字・図形情報に基づき、表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリーや、文字コードに対応する画像パターンが記憶されている読み出し専用メモリーや、画像処理を行うためのプロセッサ等を初めとして、画像の生成に必要な回路が組み込まれている。

【0394】本回路により生成された表示用画像データは、デコーダ74に出力されるが、場合によっては前記入出力インターフェース回路75を介して外部のコンピュータネットワークやプリンターに出力することも可能

である。

【0395】CPU76は、主として本表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。

【0396】例えば、マルチプレクサ73に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。その際には表示する画像信号に応じてディスプレイパネルコントローラ72に対して制御信号を発生し、画面表示周波数や走査方法（例えばインターレースかノンインターレースか）や一画面の走査線の数など表示装置の動作を適宜制御する。また、前記画像生成回路77に対して画像データや文字・図形情報を直接出力したり、あるいは前記入出力インターフェース回路75を介して外部のコンピュータやメモリーをアクセスして画像データや文字・図形情報を入力する。

【0397】尚、CPU76は、これ以外の目的の作業にも関わるものであってよい。例えば、パーソナルコンピュータやワードプロセッサ等のように、情報を生成したり処理する機能に直接関わってもよい。あるいは前述のように、入出力インターフェース回路75を介して外部のコンピュータネットワークと接続し、例えば数値計算等の作業を外部機器と協同して行ってもよい。

【0398】入力部84は、前記CPU76に使用者が命令やプログラム、あるいはデータなどを入力するためのものであり、例えばキーボードやマウスの他、ジョイスティック、バーコードリーダー、音声認識装置等の多様な入力機器を用いることが可能である。

【0399】デコーダ74は、前記77ないし83より入力される種々の画像信号を3原色信号、又は輝度信号とI信号、Q信号に逆変換するための回路である。尚、図中に点線で示すように、デコーダ74は内部に画像メモリーを備えるのが望ましい。これは、例えばMUSE方式を初めとして、逆変換するに際して画像メモリーを必要とするようなテレビ信号を扱うためである。画像メモリーを備える事により、静止画の表示が容易になる。あるいは前記画像生成回路77及びCPU76と協同して、画像の間引き、補間、拡大、縮小、合成を初めとする画像処理や編集が容易になるという利点が生まれるからである。

【0400】マルチプレクサ73は、前記CPU76より入力される制御信号に基づき、表示画像を適宜選択するものである。即ち、マルチプレクサ73はデコーダ74から入力される逆変換された画像信号の内から所望の画像信号を選択して駆動回路71に出力する。その場合には、一画面表示時間内で画像信号を切り換えて選択することにより、所謂多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0401】ディスプレイパネルコントローラ72は、

前記CPU76より入力される制御信号に基づき、駆動回路71の動作を制御するための回路である。

【0402】ディスプレイパネルの基本的な動作に関わるものとして、例えばディスプレイパネルの駆動用電源（図示せず）の動作シーケンスを制御するための信号を駆動回路71に対して出力する。ディスプレイパネルの駆動方法に関わるものとして、例えば画面表示周波数や走査方法（例えばインターレースかノンインターレースか）を制御するための信号を駆動回路71に対して出力する。また、場合によっては、表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路71に対して出力する場合もある。

【0403】駆動回路71は、ディスプレイパネル70に印加する駆動信号を発生するための回路であり、前記マルチプレクサ73から入力される画像信号と、前記ディスプレイパネルコントローラ72より入力される制御信号に基づいて動作するものである。

【0404】以上、各部の機能を説明したが、図32に例示した構成により、本表示装置においては多様な画像情報源より入力される画像情報をディスプレイパネル70に表示することが可能である。即ち、テレビジョン放送を初めとする各種の画像信号は、デコーダ74において逆変換された後、マルチプレクサ73において適宜選択され、駆動回路71に入力される。一方、ディスプレイコントローラ72は、表示する画像信号に応じて駆動回路71の動作を制御するための制御信号を発生する。駆動回路71は、上記画像信号と制御信号に基づいてディスプレイパネル70に駆動信号を印加する。これにより、ディスプレイパネル70において画像が表示される。これらの一連の動作は、CPU76により統括的に制御される。

【0405】本画像形成装置においては、前記デコーダ74に内蔵する画像メモリーや、画像生成回路77及び情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、例えば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換等を初めとする画像処理や、合成、消去、接続、入れ換え、詰め込み等を初めとする画像編集を行うことも可能である。また、本実施例の説明では特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行なうための専用回路を設けてもよい。

【0406】従って、本表示装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像及び動画画像を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサを初めとする事務用端末機器、ゲーム機などの機能を一台で兼ね備えることが可能で、産業用あるいは民生用として極めて応用範囲が広い。

【0407】尚、図32は、表面伝導型電子放出素子を

電子ビーム源とするディスプレイパネルを用いた表示装置の構成の一例を示したに過ぎず、本発明の画像形成装置がこれのみに限定されるものでないことは言うまでもない。

【0408】例えば図32の構成要素の内、使用目的上必要のない機能に関わる回路は省いても差し支えない。また、これとは逆に、使用目的によっては更に構成要素を追加してもよい。例えば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路等を構成要素に追加する

のが好適である。

【0409】なお、本実施例における活性化の方法は、実施例1の表面伝導型電子放出素子に対応するものであるが、実施例2～22のいずれに対応する方法を用いても良いことは言うまでもない。

【0410】〔実施例24〕本実施例は、はしご型配線をした電子源及びそれを用いた、画像表示装置である。図33は、以下の工程の一部を模式的に示したものである。以下、本実施例の製造方法について述べる。

【0411】工程-A

清浄化した青板ガラス上に厚さ0.5 μ mのシリコン酸化膜をスパッタ法で形成した基板21上に、素子電極を兼ねる共通配線の形状の開口を有するホトレジスト(RD-2000N-41・日立化成社製)パターンを形成し、真空蒸着法により、厚さ5nmのTi、厚さ100nmのNiを順次積層した。この後、ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフして、素子電極を兼ねる共通配線26を形成した。電極間距離はL=10 μ mとした。

【0412】工程-B

真空蒸着法により厚さ300nmのCr膜91を堆積し、通常のフォトリソグラフィ技術により導電性薄膜のパターンに相当する開口部92を形成する。その上にPdアミン錯体溶液(ccp4230・奥野製薬(株)製)をスピンナーにより回転塗布し、300℃12分間の加熱焼成処理を施した。こうして形成された膜はPdOを主成分とする導電性の微粒子膜で、厚さは7nm前後であった。

【0413】工程-C

Crマスク91をウェットエッチングしてPdO膜の不要部分とともに除去し、所望の形状にパターニングされた導電性薄膜4を得た。この導電性薄膜の抵抗値はR_s=2 \times 10⁴ Ω /□程度であった。

【0414】工程-D

実施例23と同様にして表示パネルを形成した。図14のように電子源基板21、リアプレート31、フェースプレート36とグリッド電極27を組み合わせ、外部に容器外端子29、容器外グリッド電極端子30を接続した。

【0415】以下、実施例23と同様にフォーミング工

程、活性化工程、安定化工程を施した後、排気管(不図示)を溶着し封じきった。この後、高周波加熱によりゲッター処理を行った。

【0416】画像形成装置としての駆動の方法は実施例23に示したものと同様である。

【0417】本実施例における活性化の方法は、実施例1の表面伝導型電子放出素子に対応するものであるが、実施例2～22のいずれに対応する方法を用いても良いことは、実施例23と同様、言うまでもない。

【0418】

【発明の効果】以上説明したように、結晶性の良いグラファイト膜を電子放出部亀裂内に有する構成をすることにより、長時間の駆動に伴う電子放出特性の劣化を防止することが出来、安定性が向上した。また、電子放出部亀裂内のグラファイト膜が正極・負極の両方に形成された構造とすることで、電子放出量が増大するとともに、電子放出効率 $\eta = I_e / I_f$ が一層向上する。

【0419】さらに、亀裂内部のグラファイト膜以外には実質的にカーボン膜を有しない構造、あるいは、亀裂外部のカーボン膜も結晶性の良いグラファイトよりなる構造とすることにより、駆動中に起こる放電現象を抑制できる。

【0420】また、電子放出部の基板に溝を設けることにより、リーク電流が減少し、電子放出効率の更なる向上がなされる。

【図面の簡単な説明】

【図1】本発明の平面型表面伝導型電子放出素子の構成を説明する模式図である。

【図2】Raman分光分析の結果の模式図である。

【図3】本発明の垂直型表面伝導型電子放出素子の構成を説明する模式図である。

【図4】本発明の表面伝導型電子放出素子(平面型)の製造プロセスを説明するための模式図である。

【図5】三角波パルス波形を示す模式図である。

【図6】矩形波パルス波形を示す模式図である。

【図7】表面伝導型電子放出素子の電子放出特性を測定する系の構成を示す模式図である。

【図8】表面伝導型電子放出素子の電子放出特性を説明する模式図である。

【図9】マトリクス配線の電子源の構成を説明する模式図である。

【図10】マトリクス配線の電子源を用いた画像形成装置の構成を示す模式図である。

【図11】フェースプレートの構成を説明する模式図である。

【図12】画像形成装置の駆動方法を説明する模式図である。

【図13】はしご型配置の電子源の構成を説明する模式図である。

【図14】はしご型配線の電子源を用いた画像形成装置

61

の構成を示す模式図である。

【図15】TEMによる格子像の観察結果を示す模式図である。

【図16】TEMによるカプセル様グラファイトの観察結果を示す模式図である。

【図17】実施例1の構成を示す模式図である。

【図18】実施例3の構成を示す模式図である。

【図19】比較例2の構成を示す模式図である。

【図20】電子源パネルを製造する装置の構成を示す模式図である。

【図21】レーザラマン分光分析装置による結晶性分布の観察結果を説明する模式図である。

【図22】比較例5の構成を示す模式図である。

【図23】実施例8～11のグラファイト膜のTEMによる格子像の観察結果を示す模式図である。

【図24】(a)は実施例8、9の、(b)は実施例10の表面伝導型電子放出素子の構成を示す模式図である。

【図25】実施例11の表面伝導型電子放出素子の構成を示す模式図である。

【図26】実施例21の表面伝導型電子放出素子の構成を示す模式図である。

【図27】マトリクス配線の電子源の一部の構成を示す模式図である。

【図28】図27のA-A'断面の構造を示す模式図である。

【図29】マトリクス配線の電子源の製造プロセスを説明する図である。

【図30】マトリクス配線の電子源の製造プロセスを説明する図である。

【図31】Y方向配線の「共通結線」の状態を説明する模式図である。

【図32】画像形成装置を用いたシステムの構成を示すブロック図である。

【図33】はしご型配線の電子源の製造工程の一部を説明する模式図である。

【図34】従来の表面伝導型電子放出素子の構成を説明する模式図である。

【符号の説明】

- 1 基板
- 2, 3 素子電極
- 4 導電性薄膜
- 5 電子放出部亀裂
- 6 グラファイト膜
- 7 段さ形成部
- 8 溝
- 10 電流計
- 11 電源
- 12 電流計
- 13 高圧電源

62

- 14 アノード電極
- 15 真空容器
- 16 排気装置
- 17 バリアブルリークバルブ
- 18 液溜
- 21 電子源基板
- 22 X方向配線
- 23 Y方向配線
- 24 表面伝導型電子放出素子
- 25 結線
- 26 共通配線
- 27 グリッド電極
- 28 電子通過孔
- 29 容器外端子
- 30 グリッド電極に接続された容器外端子
- 31 リアプレート
- 32 支持枠
- 33 ガラス基板
- 34 蛍光膜
- 35 メタルバック
- 36 フェースプレート
- 37 外囲器
- 38 黒色導電材
- 39 蛍光体
- 41 表示パネル
- 42 走査回路
- 43 制御回路
- 44 シフトレジスタ
- 45 ラインメモリ
- 46 同期信号分離回路
- 47 変調信号発生器
- 51 電子源パネル
- 52 駆動回路
- 53 第1の排気装置(超高真空用)
- 54 第2の排気装置(高真空用)
- 55 四重極質量分析器
- 56 マスフローコントローラ
- 61 層間絶縁層
- 62 コンタクトホール
- 63 Crマスク
- 64 共通電極
- 65 電源
- 66 電流測定用抵抗
- 67 オシロスコープ
- 70 ディスプレイパネル
- 71 駆動回路
- 72 ディスプレイコントローラ
- 73 マルチプレクサ
- 74 デコーダ
- 75 入出力インターフェース回路

10

20

30

40

50

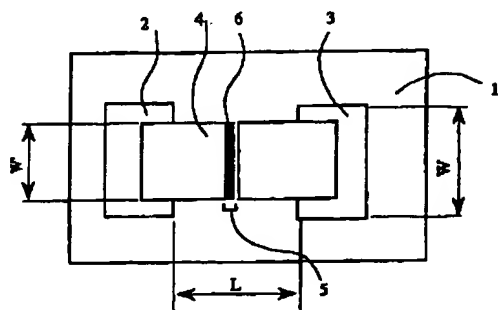
63

- 76 CPU
- 77 画像生成回路
- 78 画像メモリーインターフェース回路
- 79 画像メモリーインターフェース回路
- 80 画像メモリーインターフェース回路
- 81 画像入力インターフェース回路

64

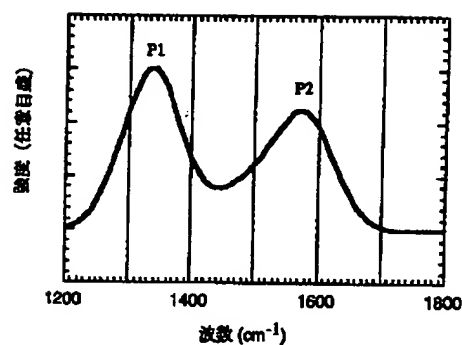
- 82 TV信号受信回路
- 83 TV信号受信回路
- 84 入力部
- 91 Crマスク
- 92 開口

【図1】

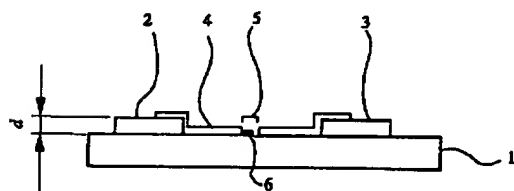


(a)

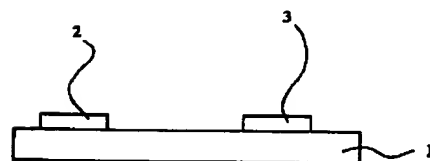
【図2】



【図4】

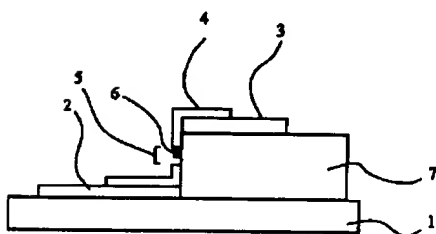


(b)

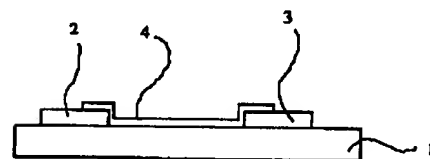
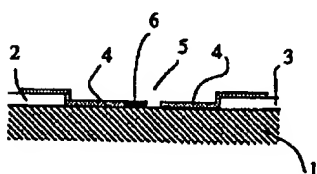


(a)

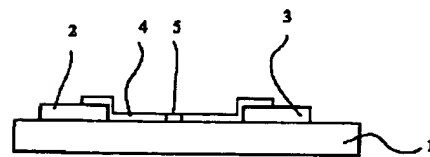
【図3】



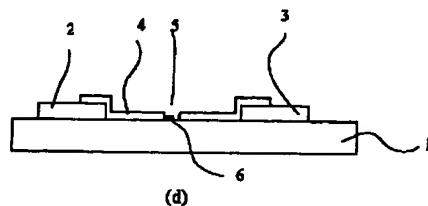
【図17】



(b)

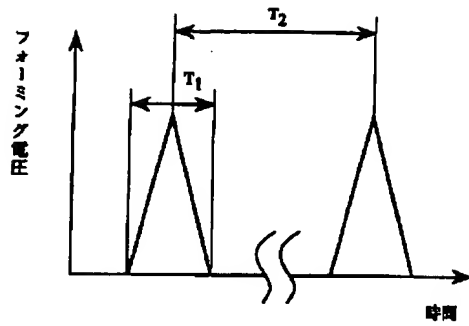


(c)

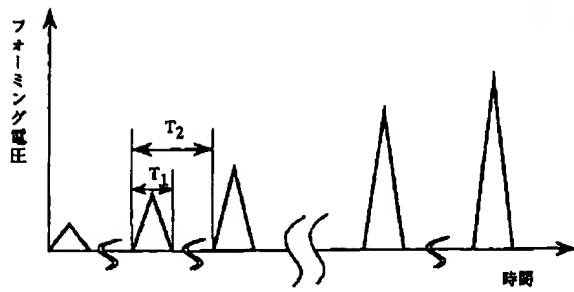


(d)

【図5】

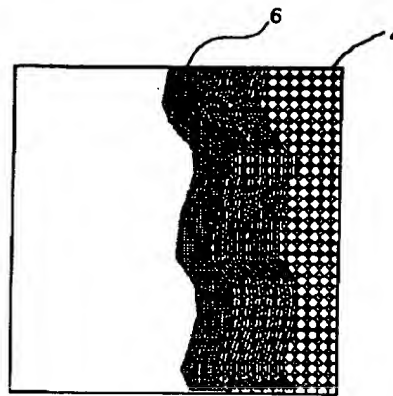


(a)

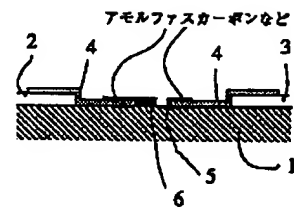


(b)

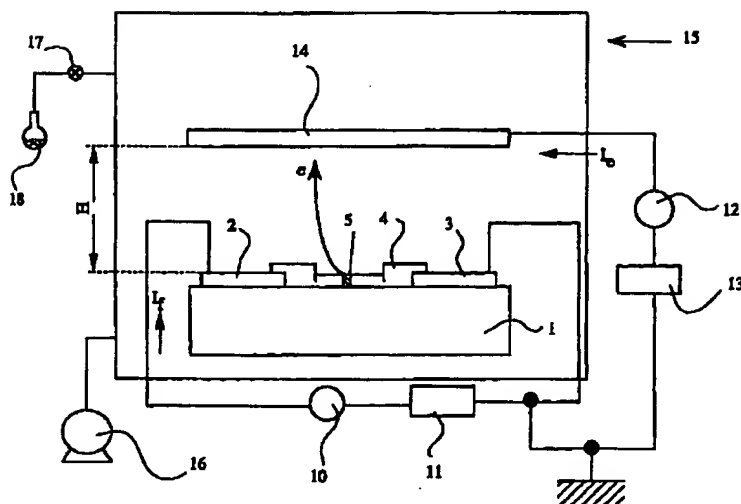
【図15】



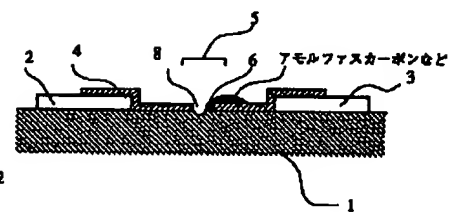
【図19】



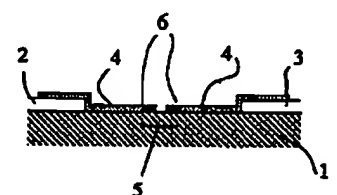
【図7】



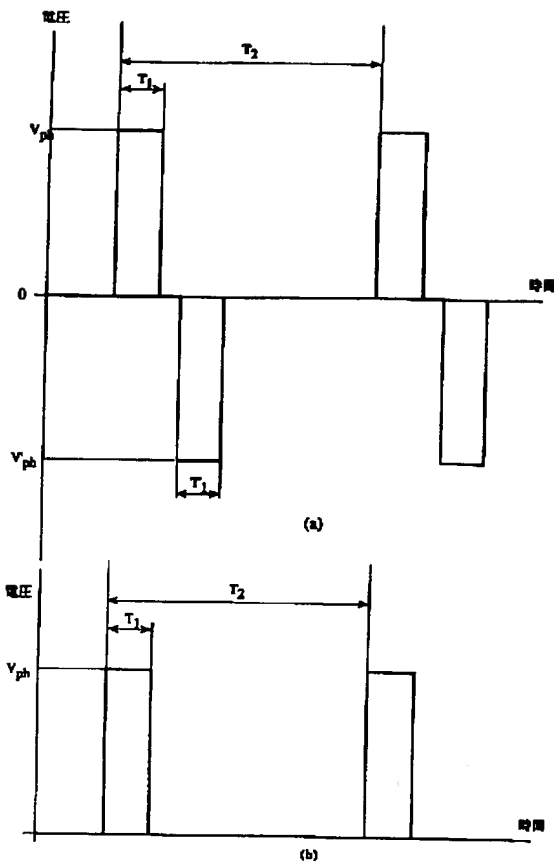
【図22】



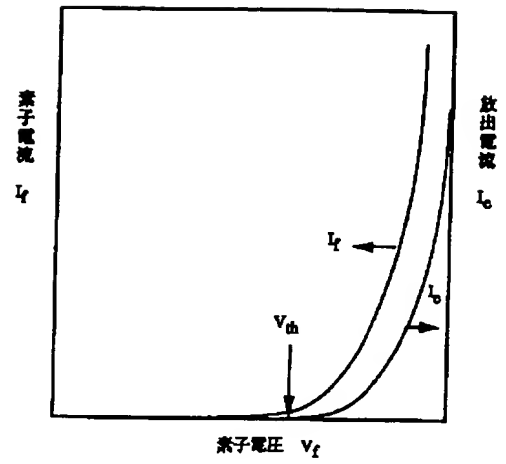
【図18】



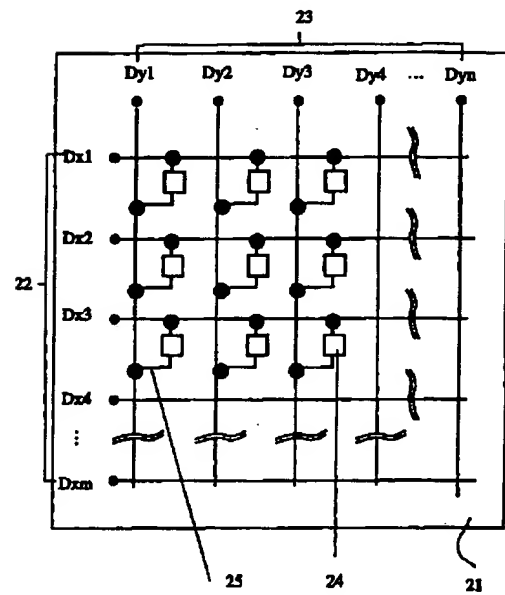
【図6】



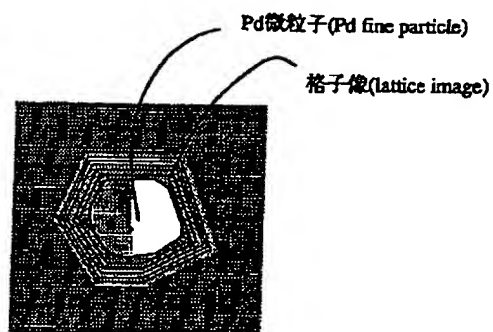
【図8】



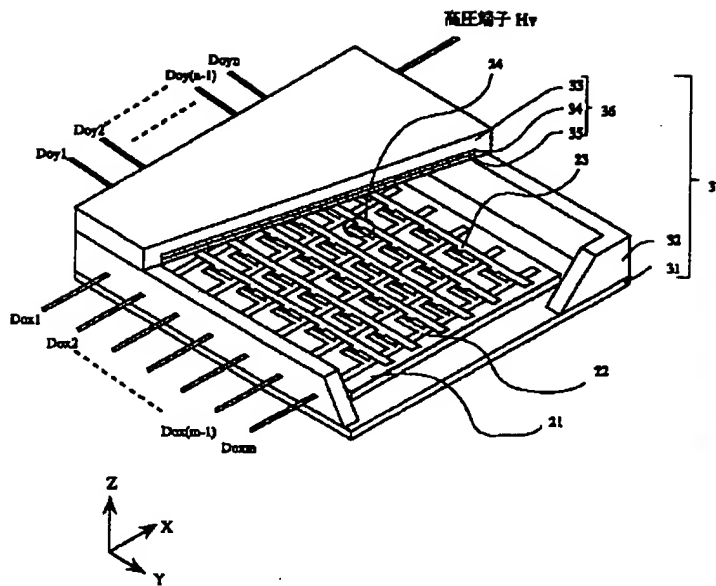
【図9】



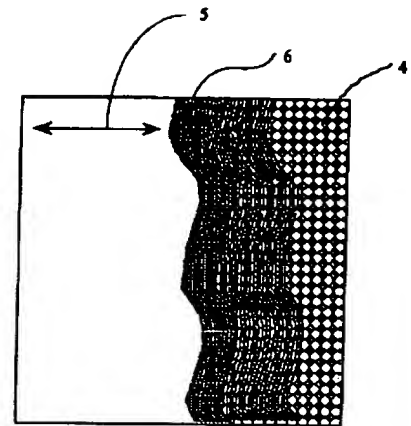
【図16】



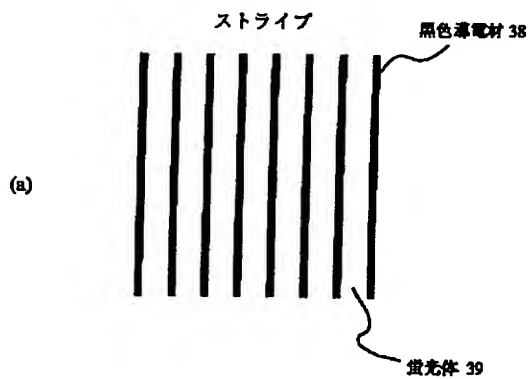
【図10】



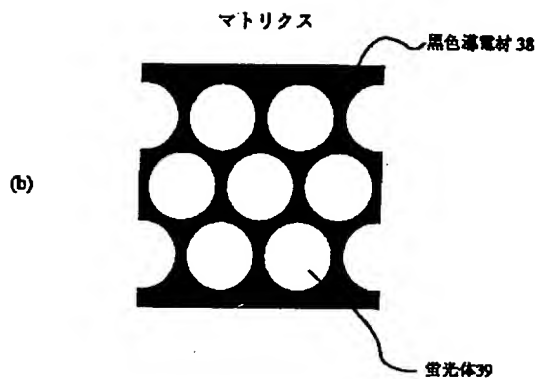
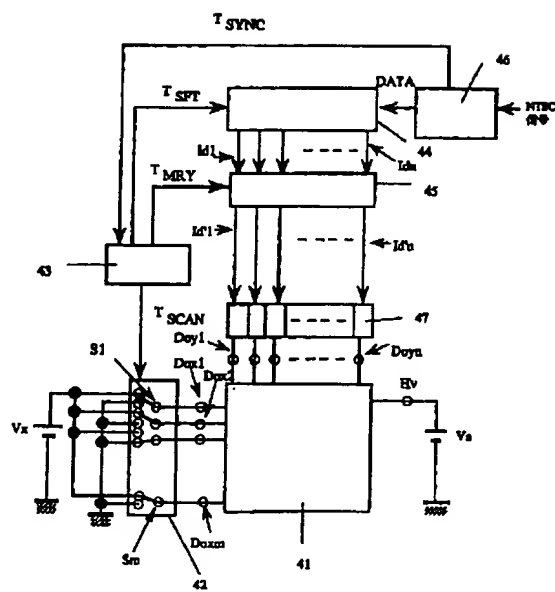
【図23】



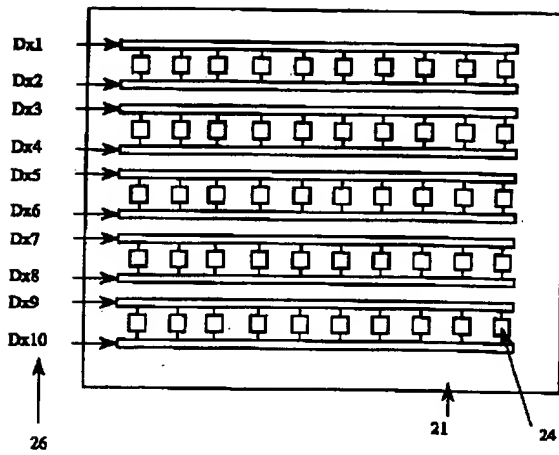
【図11】



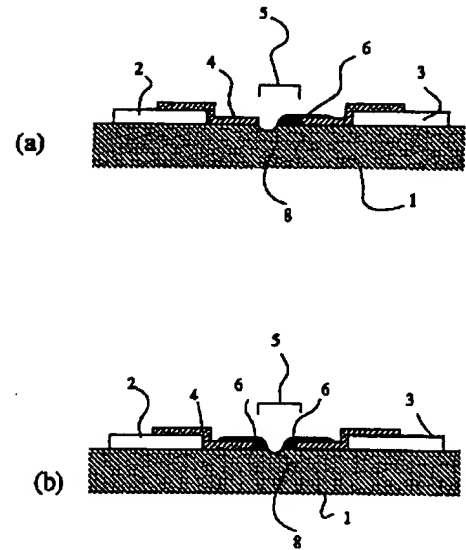
【図12】



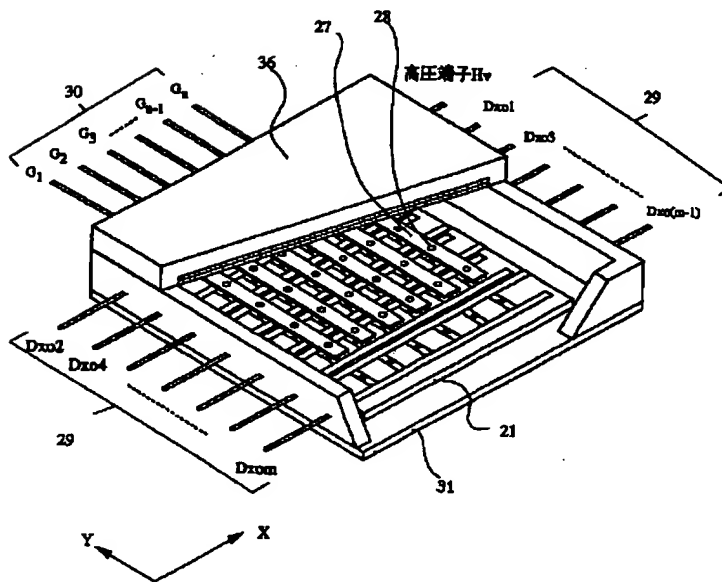
【図13】



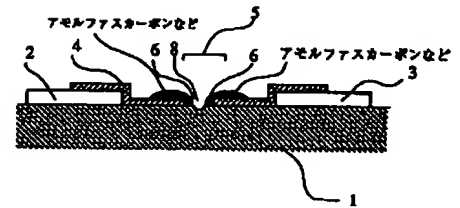
【図24】



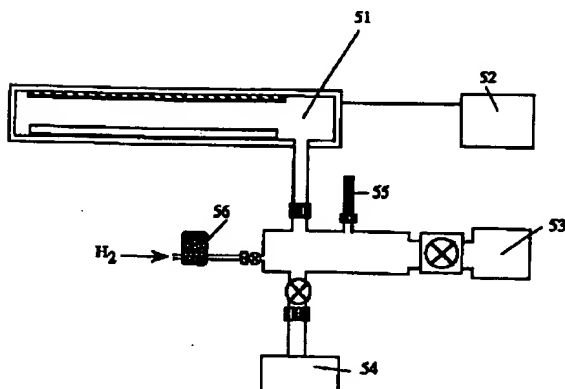
【図14】



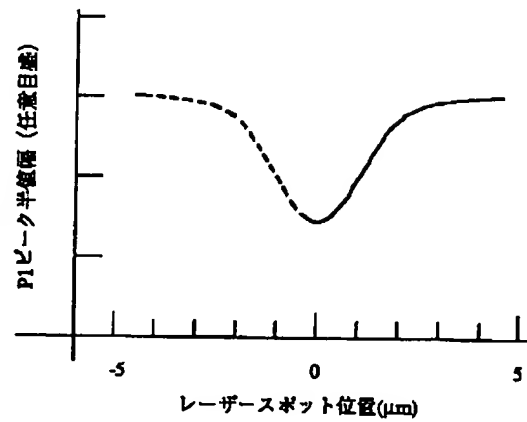
【図26】



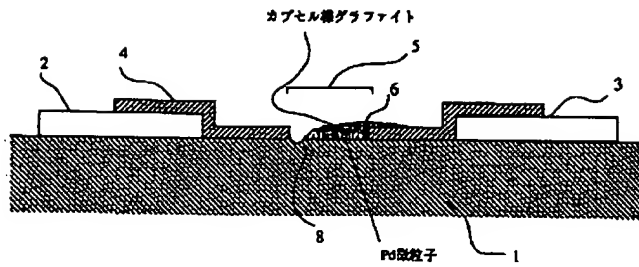
【図20】



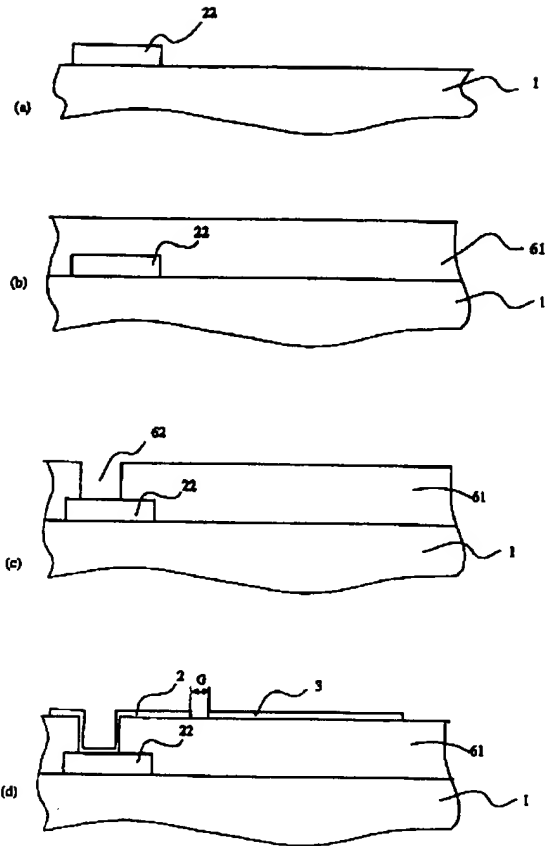
【図21】



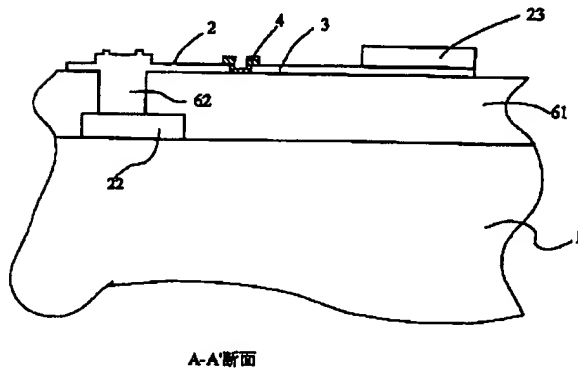
【図25】



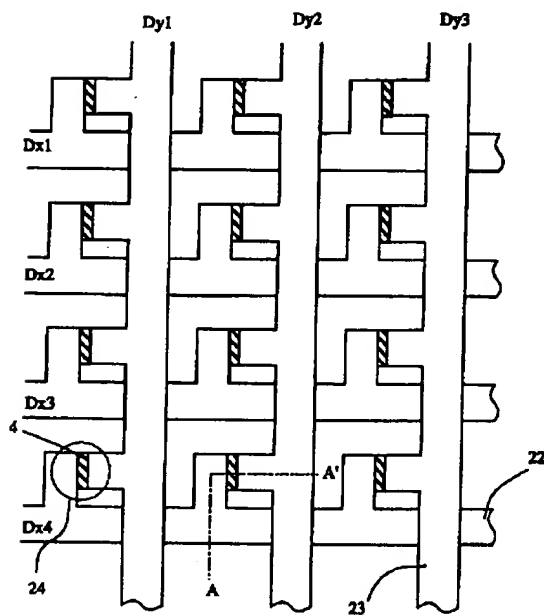
【図29】



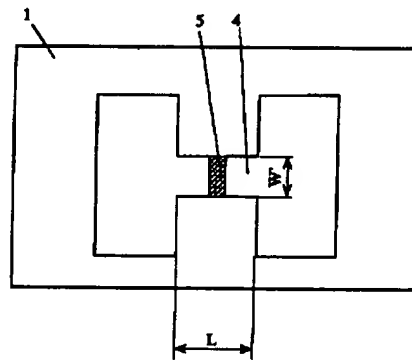
【図28】



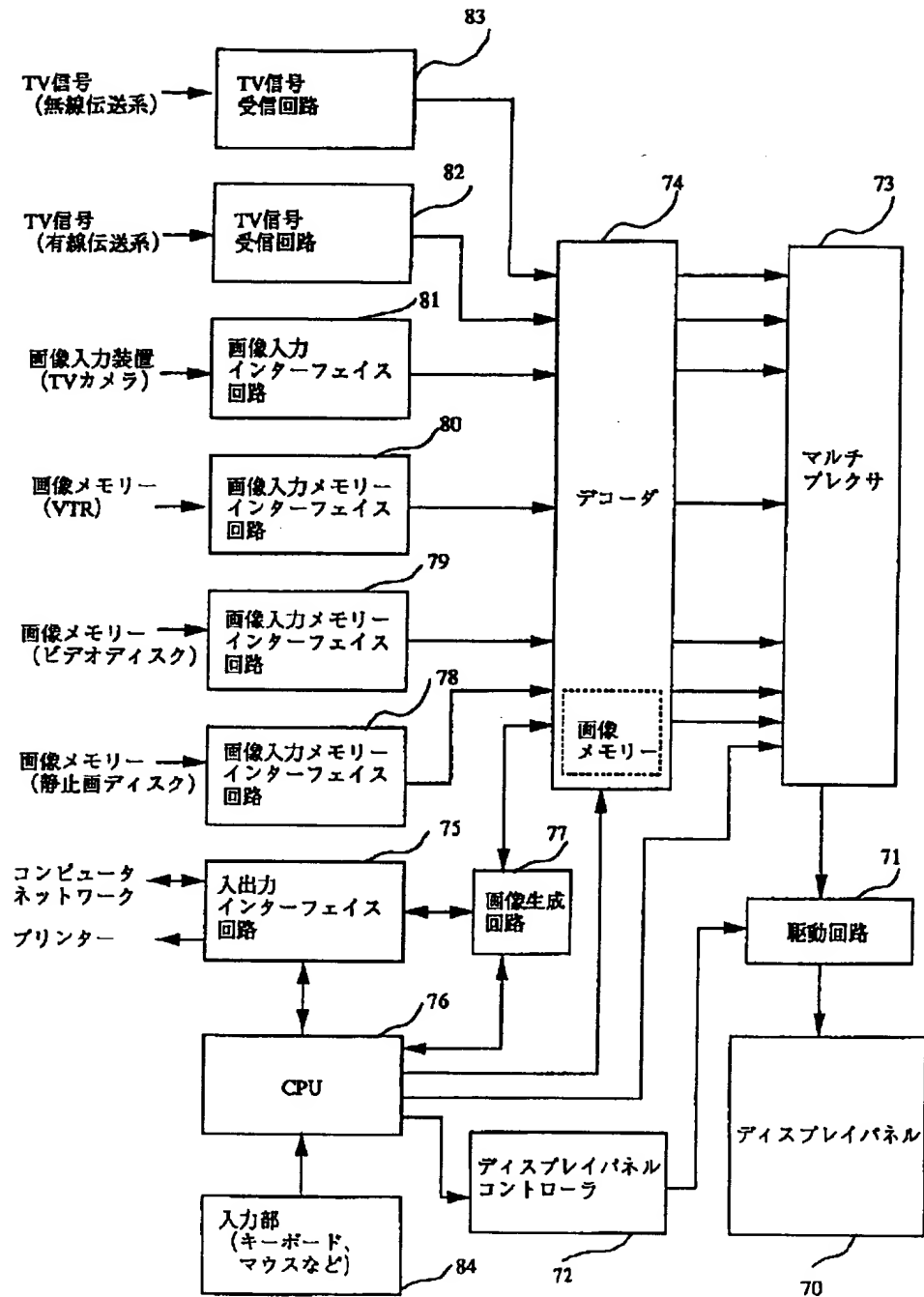
【図27】



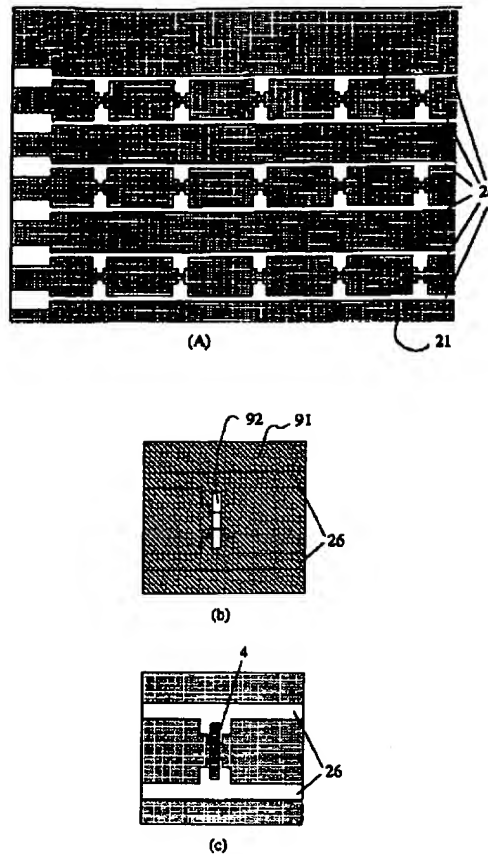
【図34】



【図32】



【図33】



フロントページの続き

(31)優先権主張番号 特願平6-336713
 (32)優先日 平6(1994)12月26日
 (33)優先権主張国 日本(JP)
 (31)優先権主張番号 特願平7-87758
 (32)優先日 平7(1995)3月22日
 (33)優先権主張国 日本(JP)

(72)発明者 山野辺 正人
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内

(72)発明者 大西 敏一
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内

(72)発明者 岸 文夫
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内

(72)発明者 池田 外充
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内

(72)発明者 宮崎 和也
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内

(56)参考文献 特開 平3-127428(JP, A)
 特開 平3-37109(JP, A)
 特開 平7-65704(JP, A)
 特開 平8-264112(JP, A)

(58)調査した分野(Int.Cl.⁶, DB名)

H01J 1/30
 H01J 9/02
 H01J 31/12